

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Appl. No. : 09/539,287 Conf. No.: 8250  
Applicant : Pedersen et al.  
Filed : March 30, 2000  
TC/A.U. : 2841  
Examiner : Jeremy C. Norris  
  
Docket No. : P48D1-US

Mail Stop Petition  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**PETITION UNDER 37 C.F.R. § 1.313(c) TO WITHDRAW FROM ISSUE**

To Whom It May Concern:

Applicants respectfully petition the Director under 37 C.F.R. § 1.313(c) that the above-identified patent application be withdrawn from issue to consider Applicants' Request For Continued Examination ("RCE") of the application (see 37 C.F.R. § 1.313(c)(2)) and Information Disclosure Statement ("IDS"). An RCE in compliance with 37 C.F.R. § 1.114 and an IDS is submitted herewith. The IDS cites the following Japanese patent documents that were first cited by the Japanese Patent Office in an action dated May 7, 2009: JP 07-240361, JP 63-012156, JP 01-260890, JP 03-088352, and JP 05-326357. The IDS also cites JP 63-062342 and JP 01-150862.

Applicants paid the issue fee in the above-identified patent application on January 5, 2009. References JP 07-240361, JP 63-012156, JP 01-260890, JP 03-088352, and JP 05-326357 were cited by the Japanese Patent Office in a corresponding Japanese patent application. These references were identified to Applicants in a communication dated May 21, 2009 from Japanese patent counsel. (A copy of the communication from Japanese patent counsel is attached as Exhibit A.) Applicants believe that references JP 07-240361, JP 63-012156, JP 01-260890, JP 03-088352, and JP 05-326357 cited in the IDS should be reviewed and considered by the Examiner in charge of the above-identified application before the application issues as a patent.

Applicants believe that allowing the Examiner to consider those references constitutes good and sufficient reason for withdrawing the application from issue.

For the reasons discussed above, Applicants respectfully request that the above-identified patent application be withdrawn from issue and prosecution reopened in accordance with the RCE submitted herewith to allow the Examiner to consider the .

Applicants authorize the Director to charge the petition fee of \$130.00 as set forth in C.F.R. 17(h) to Deposit Account No. 50-0843 (order no. 12439-0270), and Applicants authorize the Director to charge an RCE fee of \$810.00 to Deposit Account No. 50-0843 (order no. 12439-0270). In addition, Applicants authorize the Director to charge any additional fee or any deficiency in the fees provided for as needed for acceptance of this paper to Deposit Account No. 50-0843 (order no. 12439-0270).

Respectfully submitted,

Date: October 16 2009

By /N. Kenneth Burraston/  
N. Kenneth Burraston  
Reg. No. 39,923

Kirton & McConkie  
P.O. Box 45120  
Salt Lake City, Utah 84111-1004  
Telephone: (801) 426-2106  
Fax: (801) 321-4893

## **EXHIBIT A**

**SHUSAKU YAMAMOTO**  
OSAKA, TOKYO & FUKUOKA

CRYSTAL TOWER  
1-27 SHIROMI  
CHUO-KU, OSAKA  
540-6015, JAPAN

Patent Prosecution, Trademark,  
Opinion, Licensing & Litigation.

PHONE: +81-6-6949-3910  
FACSIMILE G3: +81-6-6949-3915  
G4: +81-6-6910-3056  
E-MAIL: shupatnt@shupat.gr.jp

Via E-mail

May 21, 2009

Mr. Ting Mao Chao  
Patent Counsel  
FORMFACTOR, INC.  
7005 Southfront Road  
Livermore, CA 94551  
U.S.A.

RE: Japanese Patent Application No. 2001-378598  
PCT/US98/09999  
Your Ref: P 48 D1 JP  
Our Ref: F1-06R08C1S

Dear Mr. Chao:

We have received an Official Action dated May 7, 2009 that sets a 3 month period for response, expiring on August 7, 2009 (Japan Time). If all available extensions of time are obtained, the unextendable due date will be November 7, 2009.

Up to three extensions of time can be obtained (either separately or together), where each extension is for one month only. The Official Fee for each monthly extension is JPY2,100 (i.e., a total of JPY6,300 for three extensions). Professional Fees and disbursements are also applicable.

To this e-mail letter, we are attaching a copy of the Official Action and an English translation thereof, as well as a copy of Cited References 1-4. We are now preparing our Comments, and we will send them to you by June 17, 2009.

*We will either find a way, or make one  
~Hannibal, about to cross the Alps~*

**30**  
Years of  
IP EXCELLENCE  
SHUSAKU  
YAMAMOTO  
ESTD. SEP. 20, 1979

**SHUSAKU YAMAMOTO**

Mr. Ting Mao Chao

May 21, 2009

Page 2

No English language counterparts exist for Cited References 1-4. However, English language abstracts exist for these references, and we are attaching copies hereto. If you would like us to prepare an English translation of any of the references, please let us know.

If you have any questions, please do not hesitate to contact us.

Sincerely yours,

A handwritten signature in black ink, appearing to read "Shusaku Yamamoto". The signature is fluid and cursive, with a long horizontal line extending from the end of the signature.

Shusaku Yamamoto

SY/rd

Encls. (by e-mail only)

**SHUSAKU YAMAMOTO**

Japanese Patent Application No.: 2001-378598

Your Ref: P 48 D1 JP

(Translation)

**NOTICE OF REASONS FOR REJECTION**

Japanese Patent Application No. 2001-378598

Examiner: Takuya IMAI

Date: April 30, 2009

Mailing Date: May 7, 2009

Applicable Sections: 29(1), 29(2) and 36

To: Shusaku YAMAMOTO, Patent Attorney (and two others)

The present application is rejected for the following reasons. Any argument must be submitted within 3 months from the mailing date of this document.

**REASONS**

1. The following claims of the present application are rejected under Sec. 29(1)(iii) of the Japanese Patent Law as being defined by the following cited references published in Japan or in a foreign country prior to the filing of the present application.
2. The following claims of the present application are rejected under Sec. 29(2) of the Japanese Patent Law as being obvious to those skilled in the art over the following cited references published in Japan or in a foreign country prior to the filing of the present application.
3. The following claims of the present application do not comply with the requirements of Sec. 36(6)(ii) of the

SHUSAKU YAMAMOTO

Japanese Patent Application No.: 2001-378598  
Your Ref: P 48 D1 JP

Japanese Patent Law on the points specified in the notes below.

NOTES (See List of Cited References)

(1) Regarding the inventions defined by claims 1, 4 and 5

- \* Reasons: 1 and 2
- \* Cited Reference: 1
- \* Remark

Please see especially figures 1-2 and the bottom left column of page 3, line 8 to the bottom left column of page 5, line 4 of Cited Reference 1, and figure 1 and the bottom left column of page 3, line 5 to the top right column of page 4, line 9 of Cited Reference 2.

(2) Regarding the inventions defined by claims 1 and 6-10

- \* Reasons: 1 and 2
- \* Cited Reference: 3
- \* Remark

Please see especially figure 1 and the bottom right column of page 2, line 7 to the bottom left column of page 3, line 4 of Cited Reference 3.

(3) Regarding the invention defined by claim 2

- \* Reason: 2
- \* Cited Reference: 3
- \* Remark

In the two exposure processes of the photoresist in Cited Reference 3, it is a matter of design choice between two options made as appropriate by those skilled in the art to determine which is performed first, an exposure at a low accelerating voltage or an exposure at a high accelerating voltage.

(4) Regarding the inventions defined by claims 1, 3 and 6-8

SHUSAKU YAMAMOTO

Japanese Patent Application No.: 2001-378598  
Your Ref: P 48 D1 JP

- \* Reasons: 1 and 2
- \* Cited Reference: 4
- \* Remark

Please see especially figures 1-3 and paragraphs [0016]-[0032] of Cited Reference 4.

(5) Regarding the inventions defined by claims 9 and 10

- \* Reason: 2
- \* Cited References: 1, 2 and 4
- \* Remark

It could have been practiced as appropriate by those skilled in the art to employ the method for forming a resist pattern of Cited Reference 4 in the resist of Cited Reference 1 or 2 so as to form a taper-shaped resist pattern.

(6) Regarding the invention defined by claim 1

- \* Reason: 3
- \* Remark

While claim 1 recites "forming an opening in the masking material with a sloping sidewall", it is unclear how to process the masking material to form an opening with a sloping sidewall.

Therefore, the invention defined by claim 1 is unclear.

(7) Regarding the inventions defined by claims 2-4 and 6-10

- \* Reason: 3
- \* Remark

Since the meaning of the following terms are ambiguous, the scope of the inventions are unclear: "more or less at some ..." in claim 2, "generally" in claim 3, "generally", "some" and "to some extent" in claim 4, "generally" in claim 6, and "generally" in claim 9.

Therefore, the inventions defined by claims 2-4 and 6-10 are unclear.

SHUSAKU YAMAMOTO

Japanese Patent Application No.: 2001-378598  
Your Ref: P 48 D1 JP

List of Cited References

1. Japanese Laid-Open Publication No. 01-260890
2. Japanese Laid-Open Publication No. 03-088352
3. Japanese Laid-Open Publication No. 63-012156
4. Japanese Laid-Open Publication No. 05-326357

---

Record of search for prior art documents

\* Classes searched: IPC H01L 23/12, 21/3205,  
23/52, 21/768  
23/522

\* Prior art documents:

Japanese Laid-Open Publication No. 07-240361  
Japanese Laid-Open Publication No. 07-333232

The above record of search for prior art documents does not form the basis of the reasons for rejection.

If you have any inquiries concerning this Notice of Reasons for Rejection, or wish to have an interview with the Examiner, please contact us.

RECEIVED  
審査番号 504-15007  
MAY. 07. 2009  
S. YANAMOTO

発送番号: 285227 発送日: 平成21年 5月 7日

1 Due Date

8/7 (Fri.)

## 拒絶理由通知書

### Official Action

特許出願の番号

特願 2001-378598

起案日

平成21年 4月30日

特許庁審査官

今井 拓也 4036 4R00

特許出願人代理人

山本 秀策 (外 2名) 様

適用条文

第29条第1項、第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から3か月以内に意見書を提出してください。

### 理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において頒布された下記の刊行物に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。
3. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

### 記 (引用文献等については引用文献等一覧参照)

#### (1) 請求項 1, 4, 5 に係る発明に対して

- ・ 理由 : 1, 2
- ・ 引用文献 : 1
- ・ 備考

引用文献1の、特に、第1-2図、第3頁左下欄第8行-第5頁左下欄第4行、引用文献2の、特に、第1図、第3頁左下欄第5行-第4頁右上欄第9行を参考されたい。

#### (2) 請求項 1, 6-10 に係る発明に対して

- ・ 理由 : 1, 2

- ・引用文献：3

- ・備考

引用文献3の、特に、第1図、第2頁右下欄第7行—第3頁左下欄第4行を参照されたい。

(3) 請求項2に係る発明に対して

- ・理由：2

- ・引用文献：3

- ・備考

引用文献3における、2回のフォトレジストの露光において、低い加速電圧での露光を先に行うか、高い加速電圧での露光を先に行うかは、2つの選択肢から適宜に選択する設計的事項である。

(4) 請求項1，3，6－8に係る発明に対して

- ・理由：1，2

- ・引用文献：4

- ・備考

引用文献4の、特に、図1－3、【0016】－【0032】を参照されたい

。

(5) 請求項9，10に係る発明に対して

- ・理由：2

- ・引用文献：1，2，4

- ・備考

引用文献1又は2に記載されたレジストにおいて、テーパ形状のレジストパターンを形成するために、引用文献4に記載されたレジストパターンの形成方法を採用することは、当業者が適宜に為し得たことである。

(6) 請求項1に係る発明に対して

- ・理由：3

- ・備考

請求項1に記載の「マスク材料に傾斜側壁を備えた開口を形成」において、どのようにマスク材料を処理することで、傾斜側壁を備えた開口が形成できるのか不明である。

よって、請求項1に係る発明は明確でない。

(7) 請求項2－4，6－10に係る発明に対して

- ・理由：3

- ・備考

請求項2に記載の「多少なりとも幾らか」、請求項3に記載の「ほぼ」、請求項4に記載の「ほぼ」、「幾らか」、「ある程度」、請求項6に記載の「概して」、請求項9に記載の「ほぼ」は、用語の意味があいまいなため、発明の範囲が不明確である。

よって、請求項2-4, 6-10に係る発明は明確でない。

#### 引 用 文 献 等 一 覧

- 1.特開平01-260890号公報
- 2.特開平03-088352号公報
- 3.特開昭63-012156号公報
- 4.特開平05-326357号公報

---

#### 先行技術文献調査結果の記録

・調査した分野 I P C H 0 1 L 2 3 / 1 2 , 2 1 / 3 2 0 5 ,  
2 3 / 5 2 , 2 1 / 7 6 8  
2 3 / 5 2 2

・先行技術文献 特開平07-240361号公報  
特開平07-333232号公報

この先行技術文献調査結果の記録は拒絶理由を構成するものではありません。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第三部 金属加工／電子素材加工  
審査官 今井 拓也 (審査官補 越本 秀幸)  
TEL. 03 (3581) 1101 (内線3469)  
FAX. 03 (3501) 0673

# Cited Reference 1.

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A) 平1-260890

⑬ Int. Cl. 4

H 05 K 3/46  
H 01 L 21/90

識別記号

庁内整理番号

M-7039-5E  
N-6824-5F

⑭ 公開 平成1年(1989)10月18日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 多層配線パターン形成方法

⑯ 特願 昭63-88805

⑰ 出願 昭63(1988)4月11日

⑱ 発明者 原田 秀樹 鹿児島県薩摩郡入来町副田5950番地 株式会社九州富士通エレクトロニクス内  
⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
⑳ 出願人 株式会社九州富士通エレクトロニクス 鹿児島県薩摩郡入来町副田5950番地  
㉑ 代理人 弁理士 井桁 貞一 外2名

### 明細書

### 3. 発明の詳細な説明

#### (概要)

多層配線パターン形成方法、特にエアーブリッジ構造を有する多層配線のパターン形成方法に關し、

下部導体層上に直接レジスト層を平坦に形成し、このレジスト層を一時的に層間膜として使用して、スルーホールのテーパ角の適性化、導体層の平坦化および工程の簡略化を図り、さらに前記レジスト層を除去してエアーブリッジ構造を形成して多層配線の特性の向上を図ることを目的とし、

下部導体層上にレジスト層を形成してバターニングする工程と、前記レジスト層に紫外線照射・加热処理を施す工程と、上部導体層を形成する工程と、前記上部導体層上に上部導体層バターニング用レジスト層を形成してバターニングする工程と、前記上部導体層の配線パターンを形成する工程と、前記レジスト層と前記上部導体層バターニング用レジスト層とを剥離する工程とを含むことを特徴とする多層配線パターン形成方法。

#### 1. 発明の名称

多層配線パターン形成方法

#### 2. 特許請求の範囲

下部導体層上にレジスト層を形成してバターニングする工程と、

前記レジスト層に紫外線照射・加热処理を施す工程と、

上部導体層を形成する工程と、

前記上部導体層上に上部導体層バターニング用レジスト層を形成してバターニングする工程と、

前記上部導体層の配線パターンを形成する工程と、

前記レジスト層と前記上部導体層バターニング用レジスト層とを剥離する工程とを含むことを特徴とする多層配線パターン形成方法。

## 〔産業上の利用分野〕

本発明は多層配線パターン形成方法、特にエアーブリッジ構造を有する多層配線のパターン形成方法に関する。

複雑な電気回路で、各素子間の配線を2次元で行なうことができない場合、2層、3層等の多層配線が使用される。そして、形成が容易で、平坦性が良好であり、また絶縁層の誘電率が低く微細なパターンを有する多層配線のパターン形成方法が研究されている。

## 〔従来の技術〕

多層配線は複数の導体層からなる3次元構造を有し、通常、各導体層は平坦面ではなく、ある程度上下方向に曲げられた構造をなしている。しかし、配線が上下方向に大きく曲がっている箇所に電流が流れると大きなジュール熱が発生し、その熱によって断線を生じることがある。このため、各導体層をできるだけ平坦にする必要があり、種々の多層配線パターン形成方法が提案されている。

第4図は従来の多層配線パターン形成工程を順

番に示す配線板の断面図である。

第4図において、基板11上に形成された下部導体層12の上面全体に絶縁層としてのシリコン酸化膜あるいはリン・シリケートガラス膜等の気相成長(CVD)膜13を形成し、さらに、このCVD膜13上にレジスト膜14を塗布して平坦化を行ない(第4図(A))、前記レジスト膜14と前記CVD膜13のエッチングレートを等しくして全面エッチングを行ない前記レジスト膜14の塗布によって得られた平坦性を前記CVD膜13に与える、いわゆるエッチバック法による平坦化を行なう(第4図(B))。次に、前記CVD膜13上に光硬化性フォトレジスト層15を形成し、フォトマスク18を介して紫外線19を照射し(第4図(C))、前記CVD膜13上に下部導体層12と上部導体層とが接続されるいわゆるスルーホールのバーニングを行ない(第4図(D))、次に前記CVD膜13のスルーホール形成箇所のエッチングを行ない(第4図(E))、前記光硬化性レジスト層15を除去し

た後に蒸着法等により上部導体層16を形成する(第4図(F))。次に前記上部導体層16上に上部導体層バーニング用レジスト層17を形成してバーニングを行ない(第4図(G))、上部導体層の不要な部分をエッチング等により除去してバーニングされた上部導体層16'が形成される。

## 〔発明が解決しようとする課題〕

しかし、従来の多層配線パターン形成方法では、第4図(B)に示されるエッチバック法によるCVD膜13の平坦化はレジスト層14のエッチングレートとCVD膜13のエッチングレートとを等しく管理することが困難であること、および配線の間隔が1μm以下の場合CVD膜13の形成時にボイドが発生し、前記エッチバック法による前記CVD膜13の平坦化により前記ボイドが露出し平坦化を阻害するという問題がある。さらにCVD膜13は絶縁層としては誘電率が大きいという問題がある。

そこで、特性がレジストに類似しているために

レベリングが良好で平坦性に優れているポリイミドをCVD膜に代えて使用する方法が開発された。このポリイミドは誘電率が小さいことも有利な点である。しかし、ポリイミドはスルーホールを形成する場合に、スルーホール部のテーパ角の調節がきわめて困難であり、このテーパ角が小さすぎると、上部導体層を形成する際に断線が生じるおそれがあり、またテーパー角が大きすぎると、配線パターンの微細化が困難であるという問題がある。さらに、ポリイミドは上述したように特性がレジストに類似しているために、バーニング用に使用した不要のレジストを剥離する際にポリイミドもレジストと共に剥離され、不良の配線パターンが形成されるという問題も生じる。

そこで、本発明は下部導体層上に直接レジスト層を平坦に形成し、このレジスト層を一時的に層間膜として使用して、スルーホールのテーパ角の適性化、導体層の平坦化、工程の簡略化を図り、さらに前記レジスト層を除去してエアーブリッジ構造を形成し、多層配線の特性の向上を図ること

を目的とする。

(課題を解決するための手段)

上記の課題は、下部導体層上にレジスト層を形成してバターニングする工程と、前記レジスト層に紫外線照射・加熱処理を施す工程と、上部導体層を形成する工程と、前記上部導体層上に上部導体層バターニング用レジスト層を形成してバターニングする工程と、前記上部導体層の配線パターンを形成する工程と、前記レジスト層と前記上部導体層バターニング用レジスト層とを剥離する工程とを含むことによって達成される。

(作用)

下部導体層上に直接レジスト層を形成し、下部導体層と上部導体層とが接続されるいわゆるスルーホールのバターニングを前記レジスト層に施し、次に前記レジスト層に紫外線照射・加熱処理を施すことにより前記スルーホールのテーパ角の調節と前記レジスト層の脱ガスを行ない、次に前記レジスト層上に上部導体層を形成し、この上部導体層上に上部導体層バターニング用レジスト層を形

て充填することにより配線の強度を向上させるとともに通常の多層配線と同じ仕上りとすることも可能であり、その場合、所定箇所の充填材を除去することによりボンディング也可能となる。

(実施例)

以下、図面を参照して本発明の実施例について説明する。

第1図は本発明の1実施例における多層配線パターン形成工程を順番に示す配線板の断面図である。

第1図において、基板1上に形成された下部導体層2の上面全体に直接光硬化性フォトレジスト層3を形成し、フォトマスク6を介して紫外線7を照射し(第1図(A))、これにより前記光硬化性フォトレジスト層3上に下部導体層1と上部導体層とが接続されるいわゆるスルーホールのバターニングが行なわれる(第1図(B))。

次にスルーホールが形成された前記光硬化性フォトレジスト層3を加熱するとともに、さらに紫外線8を照射して紫外線照射・加熱処理(Deep

UV Cure)を行なう(第1図(C))。この紫外線照射・加熱処理により前記光硬化性フォトレジスト層3のスルーホール部のテーパ角を自在に調節することができる。

前記のレジスト層は、レジスト自体が平坦性に優れているので、前記レジスト層上に形成された上部導体層はきわめて平坦性が良好なものであり、また、前記レジスト層のスルーホール部のテーパ角を紫外線照射処理および加熱処理により自在に調節できるため適切なテーパ角とすることができ、このため、従来のポリイミドを絶縁層として使用する場合に比べ微細な配線パターンが可能となる。さらに、エアーブリッジ構造を有することから、誘電率の低い空気を絶縁層とすることができるため多層配線としての特性が優れたものとなる。

さらに本発明では、前記エアーブリッジ構造部にポリイミド等の誘電率の低い物質を充填材とし

て充填することにより配線の強度を向上させるとともに通常の多層配線と同じ仕上りとすることも可能であり、その場合、所定箇所の充填材を除去することによりボンディング也可能となる。

次に前記光硬化性フォトレジスト層3上に蒸着法等により上部導体層4を形成する(第1図(D))。

次に前記上部導体層4の上に上部導体層バターニング用レジスト層5を形成してバターニングを行なう(第1図(E))。

次に上部導体層4の不要な部分をエッチング等により除去してバターニングされた上部導体層4'が形成される。この場合、前記上部導体層バターニング用レジスト層5とともに前記光硬化性レジスト層3が除去されて上部導体層4'はエアーブリッジ構造を形成する(第1図(F))。

第1図(A)に示されるように、光硬化性フォトレジストは硬化前のレベリングが良好であるため、前記光硬化性フォトレジスト層3は従来のCVD膜(第4図(A)参照)に比べ平坦性が良

好なものとなり、従来行なわれていたエッチバック法による平坦化工程が省略できる。したがって前記光硬化性フォトレジスト層3上に形成される前記上部導体層4も平坦性の良いものとなる。

光硬化性フォトレジストとしてはノボラック系等公知のものを使用することができる。

第1図(C)に示される紫外線照射・加熱処理では、スルーホール部の形状に流动性を与えてテーパ角を大きくする加熱処理と、光硬化性フォトレジスト層を硬化させる紫外線照射処理とを適宜組み合わせることによりスルーホール部のテーパ角を調節することができる。第2図は前記紫外線照射・加熱処理における加熱処理と紫外線照射処理との組み合せの一例を示す図である。第2図において横軸は時間(秒)を示し、縦軸は温度(℃)を示し、時間が $0 \rightarrow t_1 \rightarrow t_2 \rightarrow t_3 \rightarrow t_4 \rightarrow t_5$ と変化するのに対応して温度は $100(℃) \rightarrow T_1(℃) \rightarrow 350(℃)$ と変化するものであり、 $t_1$ 乃至 $t_5$ および $T_1$ の設定例としては下記表1のものがある。

表 1

	$t_1$ (秒)	$t_1 \rightarrow t_2$ (秒)	$t_2 \rightarrow t_3$ (秒)	$t_3 \rightarrow t_4$ (秒)	$t_4 \rightarrow t_5$ (秒)	紫外線 照射時間	$T_1$ (℃)
設定例 - 1	20	30	30	350	30	$t_3 \rightarrow t_5$ (380秒間)	130
設定例 - 2	30	90	30	180	30	最初 $\rightarrow t_3$ (150秒間)	150

表1の設定例・1は加熱処理により光硬化性フォトレジストに流動性を与えてスルーホールに所定のテーパ角を与え、それを紫外線で硬化せしめる方法であり、表1の設定例・2は紫外線を照射して光硬化性フォトレジストを硬化せしめた後、熱処理によって光硬化性フォトレジストに流動性を与えてスルーホールに所定のテーパ角を与える方法である。

上述のように、前記紫外線照射・加熱処理によりスルーホールのテーパ角を適切な角度とすることができるため、テーパ角が小さいことによる上部導体層の断線、あるいはテーパ角が大きいことにより配線パターンの微細化が困難になるという従来の問題は解消される。

また、前記紫外線照射・加熱処理では、前記光硬化性フォトレジスト層3内に含まれているガスがすべて噴出され、上部導体層4の形成工程において問題となるガス噴出を防ぐことができる。

さらに、前記紫外線照射・加熱処理によって前記光硬化性フォトレジスト層3の耐熱性が向上し、

を形成することになる。このようなエアーブリッジ構造を有することにより、誘電率の低い空気が下部導体層2と上部導体層4との間の絶縁層となるため、特性の優れた多層配線となる。

また、本発明では、エアーブリッジ構造を有する部分が比較的大きいために強度的に問題となる場合等、必要に応じて第3図(A)に示されるようにエアーブリッジ構造にポリイミド等の誘電率の低い充填物質9を充填してもよい。これにより多層配線の強度が向上するとともに、通常の多層配線と同じ仕上りとなる。また、第3図(B)に示されるように前記充填物質9の所定箇所にボンディング用の窓部を設けることもできる。

#### (発明の効果)

以上のように本発明によれば、下部導体層上にレベリングの良好なレジスト層を直接形成し、このレジスト層を一時的に層間膜として使用して上部導体層を形成するために、上部導体層は平坦性に優れたものとなり、従来のような平坦化のために管理が困難なエッジバック処理を行なう必要が

上部導体層4の形成に充分耐え得るものとなる。

なお、前記紫外線照射・加熱処理に使用する紫外線の波長は250～300nm程度、照射強度は500～700mW/cm<sup>2</sup>程度でよく、照射雰囲気は大気中であってよい。

第1図(D)に示される上部導体層4の形成は蒸着法等公知の手段によればよい。

第1図(E)に示される上部導体層バターニング用レジスト層5は通常前記光硬化性フォトレジスト層3と同等のレジスト原料であってよい。また、上部導体層4の不要部分の除去は化学エッチング等公知の手段によればよい。

さらに、本発明では前記光硬化性フォトレジスト層3を一時的に下部導体層1と上部導体層4との層間膜として使用しているため、上部導体層4の配線バターニングが終了して前記上部導体層バターニング用レジスト層5を剥離する際に、前記光硬化性フォトレジスト層3もいっしょに剥離されることになる。この結果、第1図(F)に示されるように上部導体層4'はエアーブリッジ構造

なくなり、工程の短縮も図れる。また前記レジスト層に形成されたスルーホール部のテーパ角を紫外線照射処理と加熱処理を組み合わせた紫外線照射・加熱処理(Deep UV Cure)により自在に調節できるため、適切なテーパ角とすることができ、従来のポリイミドを絶縁層として使用する場合に比べ配線パターンの微細化が格段に向上する。さらに上部導体層は下部導体層に対しエアーブリッジ構造を有するため、誘電率の低い空気を絶縁層とすることができます、多層配線の特性が向上する。

#### 4. 図面の簡単な説明

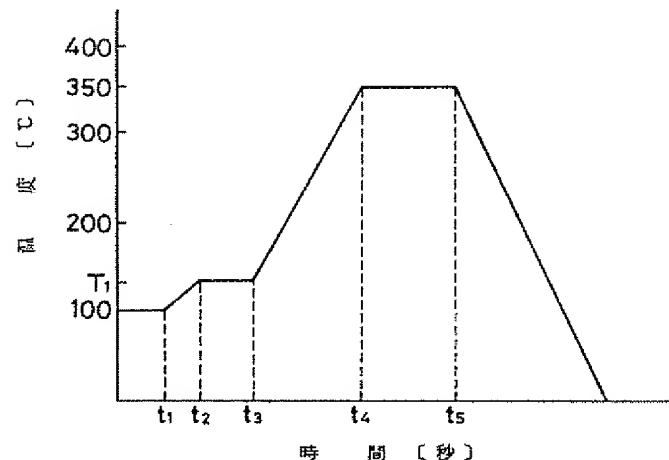
第1図(A)乃至(F)は本発明に係る多層配線パターン形成工程を順番に示す配線板の断面図。

第2図は本発明に係る多層配線パターン形成方法の紫外線照射・加熱処理工程における紫外線照射処理と加熱処理との組み合わせの1例を示す図。

第3図(A)および(B)は本発明の多層配線パターン形成方法により作製された多層配線板のモールドの例を示す図。

第4図(A)乃至(H)は従来の多層配線パターン形成工程を順番に示す配線板の断面図である。

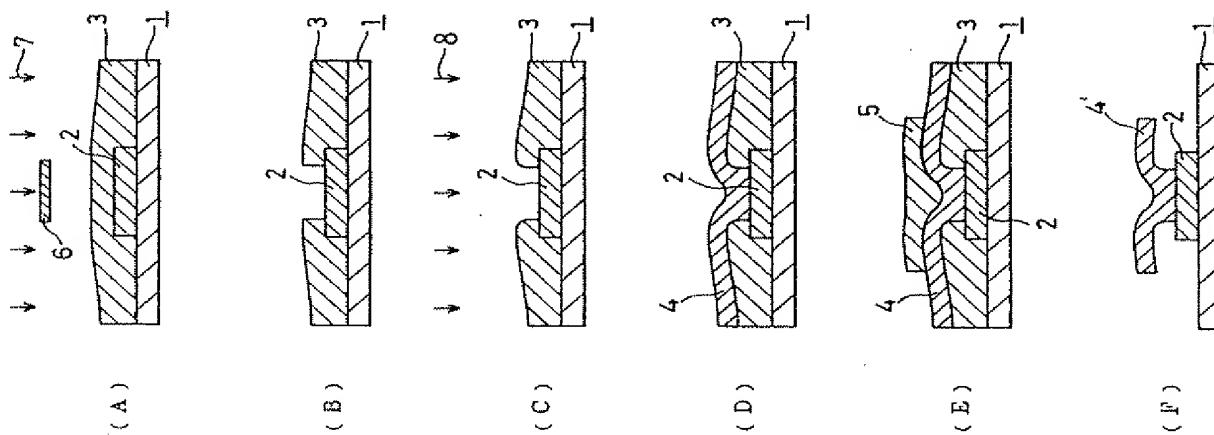
- 1 … 基板、
- 2 … 下部導体層、
- 3 … 光硬化性フォトレジスト層、
- 4, 4' … 上部導体層、
- 5 … 上部導体層バーニング用レジスト層、
- 6 … フォトマスク、
- 7, 8 … 紫外線、
- 9 … 充填物質。



出願人代理人 井 桥 貞 一

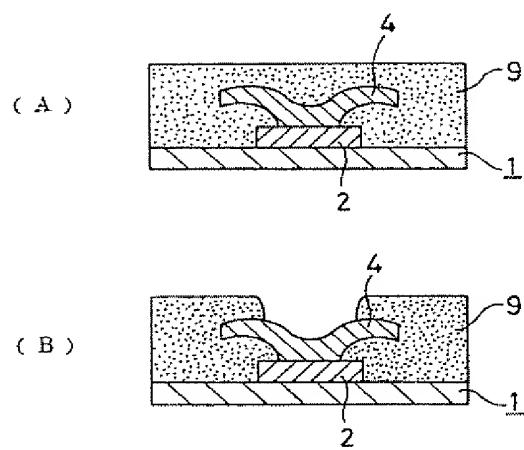
紫外線照射処理と加熱処理との組み合せの1例を示す図

第 2 図



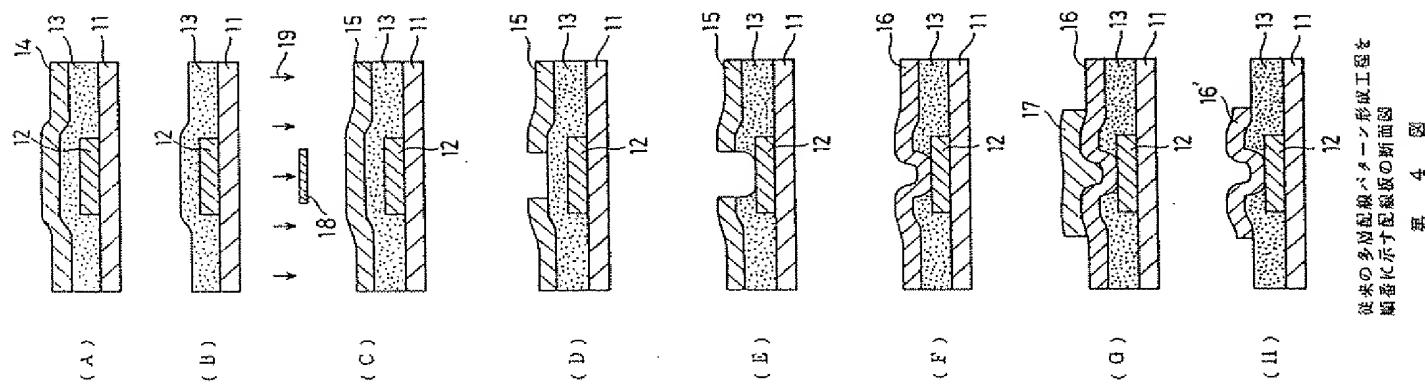
本発明に係る多層配線パターン形成工程を順番に示す配線板の断面図

第 1 図



本発明の多層配線パターン形成方法により作製された  
多層配線板のモールドの例を示す図

第3図



従来の多層配線パターン形成工程を  
順番に示す配線板の断面図

第4図

## cited Reference 1 (Abstract)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-260890

(43)Date of publication of application : 18.10.1989

(51)Int.Cl.

H05K 3/46

H01L 21/90

(21)Application number : 63-088805

(71)Applicant : FUJITSU LTD  
KYUSHU FUJITSU ELECTRON:KK

(22)Date of filing : 11.04.1988

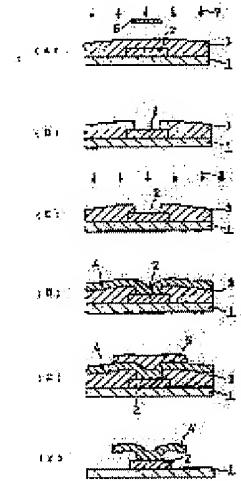
(72)Inventor : HARADA HIDEKI

## (54) FORMATION OF MULTILAYER INTERCONNECTION PATTERN

## (57)Abstract:

PURPOSE: To optimize the tapering angle of a through hole, to flatten a conductor layer, to simplify manufacturing steps and forming an air bridge structure, by temporarily using a resist layer having good leveling as an interlayer film, forming an upper conductor layer on a lower conductor layer, performing projection of ultraviolet rays and heat treatment for optimizing the tapering angle of a through hole that is formed in the resist layer.

CONSTITUTION: A light hardening photoresist layer 3 is directly formed on the entire upper surface of a lower conductor layer 2 on a substrate 1. Ultraviolet rays 7 are projected through a photomask 6. Patterning for through hole wherein the lower conductor layer 1 and the upper conductor layer are connected is performed on the photoresist layer 3. Then, the photoresist layer 3 is heated. Ultraviolet rays 8 are further projected. The tapering angle of the through hole part in the photoresist layer 3 is freely adjusted. Then, an upper conductor layer 4 is formed on the photoresist layer 3. Thereafter, a resist layer 5 for patterning the upper conductor layer is formed, and patterning is performed. Then, the unnecessary part of the upper conductor layer 4 is removed by etching. A patterned upper conductor layer 4' is formed, and an air bridge structure is formed.



# Cited Reference 2.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 平3-88352

⑤Int.Cl.<sup>5</sup>  
H 01 L 21/90  
21/027

識別記号 庁内整理番号  
N 6810-5F

⑥公開 平成3年(1991)4月12日

2104-5F H 01 L 21/30 301 M  
審査請求 未請求 請求項の数 1 (全7頁)

⑦発明の名称 半導体装置の製造方法

⑧特 願 平1-225422  
⑨出 願 平1(1989)8月31日

⑩発明者 寺田 俊幸 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑪発明者 井上 智利 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑫発明者 富田 健一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑬出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地  
⑭代理人 弁理士 鈴江 武彦 外3名

## 明細書

### 1. 発明の名称

半導体装置の製造方法

### 2. 特許請求の範囲

半導体素子若しくは下層配線とこの上に形成される上層配線との位置合わせのための基準マークを半導体基板に形成し、該半導体基板上の前記半導体素子と上層配線との間に中間層を形成する工程と、前記中間層に前記半導体素子若しくは前記下層配線と前記上層配線との接続のための接続孔を設け、且つ前記基準マークを露出させるための開口部を設ける工程と、次いで全面に第1の金属膜を形成する工程と、前記第1の金属膜上に前記上層配線パターンと逆パターンに感光性樹脂パターンを形成する工程と、前記感光性樹脂パターンをマスクに前記第1の金属膜の露出部にメッキ法により第2の金属膜を選択的に形成する工程と、前記感光性樹脂パターン、該樹脂パターン直下の第1の金属膜及び前記中間層を除去する工程とを含むことを特

徴とする半導体装置の製造方法。

### 3. 発明の詳細な説明

#### [発明の目的]

#### (産業上の利用分野)

本発明は、エアブリッジ方式の多層配線を有する半導体装置の製造方法に係わり、特にアライメントマーク形成工程の改良をはかった半導体装置の製造方法に関する。

#### (従来の技術)

従来、半導体集積回路の多層配線構造の一つとして、上層配線を空中に形成する、所謂エアブリッジ方式が知られている。この方式では、下層配線と上層配線との間が空気(他の気体若しくは真空を含む)又は空気と絶縁膜により分離されるため、通常用いられる絶縁膜分離に比べて層間容量及び線間容量が大幅に低減される。このことは、特に高速動作の集積回路にとって有利であり、例えば高速G a A s 集積回路等に適したものとして注目されている。

エアブリッジ方式の多層配線の製造工程を第

4図に示す。第4図(a)に示す如く半導体基板40上に絶縁膜41を介して下層配線42が形成されている。この基板40上にフォトレジスト44を塗布し、レジスト44に下層配線42と後に形成するエアブリッジ配線(上層配線)との接続孔45を開口する。このとき、後の工程でエアブリッジ配線パターンを形成する際に基準となるパターン(アライメントマーク)46を、レジスト44に開口パターンとして形成しておく。また、レジストパターン形成後、120～150℃程度の温度でベークすることによりレジスト44をフローさせ、そのパターンエッジを順テーパ状にする。

次いで、第4図(b)に示す如く、基板表面に電解メッキの際の電極となるAu膜47を厚さ1000Åに形成する。さらにこの上面に、レジスト48を塗布し、先に接続孔形成工程で作製したマーク46を基準に位置決めし、エアブリッジ配線となる部分を開口する。その後、第4図(c)に示す如く、上層レジスト48をマスクと

業者が顕微鏡により位置を確認しつつ基板側のマークとマスク側のマークとを合わせる場合には特に問題とならない。しかし、レーザ光等により自動的にマークを検知する方式の露光装置においては、パターンエッジでのレーザ光反射の強弱を感じし位置決めする方式であるが故に、順テーパ形状のレジストパターンでは十分なアライメント信号のコントラストが得らない。従って、自動的に位置合わせすることが著しく困難となり、露光スループットの低下を招くことになる。

#### (発明が解決しようとする課題)

このように従来、エアブリッジ方式の多層配線を形成するに際して、エアブリッジ配線の接続不良を防止するために接続孔を順テーパ状に形成すると、レジストの開口部からなる位置合わせ用マークも順テーパ状となり、これが位置合わせ精度を低下させる要因となる。そしてこの場合、スループットが低下すると共に、位置合わせのための余分なマージンを必要とし、チ

し、Au膜47を電極として電解メッキ法により厚いAu膜49を形成する。次いで、上層レジスト48、電極用Au膜47を順次除去した後、最後に下層レジスト44を除去することにより、エアブリッジ構造配線が完成する。

この方法においては、上層配線パターン形成のための基準マーク46を接続孔形成と同一工程においてフォトレジスト44により作成しているが、このレジスト44はメッキの際に電極となる薄いAu膜47(厚さ500～1000Å)の段切れを防止するため、パターン形成後120～150℃程度の温度でベークして順テーパ状にするのが通常である。この工程を行わない場合は電極用Au膜47が接続孔45の段差部で段切れを起こし、メッキAu膜49が接続孔内部にまで形成されずに接続不良を生じる。この下層レジスト44をベークによりフローさせる工程において、同時に形成したアライメントマーク46も同時に順テーパ状となる。

このような形状のアライメントマークは、作

ップサイズが増大してしまうという問題があった。

本発明は、上記事情を考慮してなされたもので、その目的とするところは、エアブリッジ配線の接続不良を招くことなく、エアブリッジ方式の多層配線における位置合わせ用のマークを高精度に形成することができ、スループット向上及びチップサイズ縮小等に寄与し得る半導体装置の製造方法を提供することにある。

#### [発明の構成]

##### (課題を解決するための手段)

本発明はエアブリッジ方式の多層配線において、上層配線のパターンを位置決めするための基準マーク(アライメントマーク)を下層配線等により形成する。このとき、単に下層配線でマークを形成した場合には、その上にフォトレジストが塗布されて表面が平坦化され、更にその上に電極用金属膜等が形成され、アライメント光の反射膜として作用するために下層配線のマークの検出が困難となる。そこで本発明では、

下層配線によりマークを形成し、引き続く接続孔形成工程において、下層配線により形成されたマーク領域のレジストを除去するように接続孔のパターンを開口しておくことを特徴とする。

即ち本発明は、半導体素子若しくは下層配線が形成された半導体基板上に中間層を形成したのち、この中間層に下層の電極若しくは配線と上層配線とを接続するための接続孔を形成し、次いで全面に第1の金属膜を形成し、この金属膜上に上層配線用パターンと逆パターンに感光性樹脂パターンを形成し、次いでこの感光性樹脂パターンをマスクとしてメッキ法により第2の金属膜を選択的に形成し、しかるのち感光性樹脂、第1の金属膜及び中間層を除去することによりエアブリッジ配線を実現する半導体装置の製造方法において、前記上層配線パターンと位置合わせする際の基準マークを、前記中間層形成工程より前の工程で前記基板上に形成（例えば、下層配線や基板表面の凹部でマークを形成）し、且つ中間層に接続孔を形成する工程に

おいて規格マーク領域上を開口するようにした方法である。

#### (作用)

本発明によれば、上層配線パターンを位置決めする際の位置合わせ用マークがテープ状開口を持つレジストではなく、基板上の下層配線金属等により形成されるため、マークとしてシャープな断面形状が得られ、自動位置決めの方式によっても十分なアライメント信号が得られる。従って、従来方法に比して大幅なスループットの向上、自動化が計られると同時にアライメント精度が向上し、各層のパターンの位置ズレを考慮した余裕を小さくすることができる。これは、最終的にはチップサイズの縮小につながる。

また、中間層に設けた接続孔にテープを形成しても位置合わせ用のマークの形状が変わることなく、従って位置合わせ用マークの精度低下を招くことなく、エアブリッジ配線の段切れを防止することが可能となる。さらに、接続孔形成工程において、下層配線等により形成され

たマーク領域上の中間層を除去することにより、中間層及びその上に形成する第1の金属膜によりマーク検出が妨げられる等の不都合もない。

#### (実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わるエアブリッジ方式の多層配線を有する半導体装置の製造工程を示す断面図である。図中の左半分には位置合わせ用のアライメントマーク部を、右半分には素子領域を示している。

まず、第1図(a)に示す如く、電界効果トランジスタ等の素子（図示せず）が形成された半導体基板10の表面にSiO<sub>2</sub>膜11を形成し、このSiO<sub>2</sub>膜11の上に下層配線12をTi/Pt/Auの積層構造により厚さ5000Åに形成する。この際アライメントマーク部に、上層配線パターン形成時の位置合わせ用基準マーク13を同時に下層配線金属により形成しておく。なお、この基準マーク13は、例えば電界効果ト

ランジスタのソース・ドレイン電極形成工程、或いはゲート電極形成工程により形成してもよい。

次いで、第1図(b)に示す如く、全面にレジスト（中間層）14を塗布した後、このレジスト14に接続孔15及び開口部16を設ける。即ち、下層配線12と上層配線とを接続するための接続孔15を設けと共に、下層配線によるマーク13を露出させるためにマーク領域上に開口部16を設ける。その後、レジスト14を120~150℃の範囲でペーク処理し、その断面形状を順テープ状にする。

次いで、第1図(c)に示す如く、全面に電解メッキの際の電極となるAu膜（第1の金属膜）17を厚さ1000Åに形成する。その後、第1図(d)に示す如く、Au膜17上に下層配線により形成したマーク13を基準として、上層配線パターン部及びマーク13上に開口を有するレジスト（感光性樹脂）18のパターンを形成する。即ち、レジスト18を塗布した後、マーク

13を検出して位置決めし、レジスト18を上層配線パターンと逆パターンに露光し、さらにマーク13上を露光したのち、現像処理してレジストパターンを形成する。

次いで、第1図(e)に示す如く、レジスト18をマスクとして電極用Au膜17上に電解メッキ法により厚さ15000ÅのAu膜(第2の金属膜)19を選択的に成長させる。このメッキAu膜19の形成に際しては、電極用Au17上のみに選択的に膜形成できる方法であればよく、電解メッキ法に限るものではない。最後に、第1図(f)に示す如く、最上層のレジスト18、不要部分の電極用Au膜17、及び下層のレジスト14を順次除去することにより、エアブリッジ構造の多層配線が完成する。また、マーク13上には次の配線層のパターン形成時に用いられる位置合わせマークが形成されたことになる。

本実施例において特徴的なのは、下層配線によりウェハ側の位置合わせ用基準マーク13を

たアライメント用レーザ光の強度である。

第3図(a)は本実施例により下層配線で位置合わせマークを形成し接続孔開口の際にマーク領域を開口したパターンの場合であり、急峻な信号変化で十分大きな信号強度が得られている。第3図(b)は従来例で示した如く、接続孔開口時に位置合わせマークを形成した場合である。第3図(b)の場合には、開口部を形成したフォトレジストにより位置合わせ用パターンが形成されている訳であるが、特にメッキ時の電極となるAuの段切れを防ぐため高温ペークによりその断面形状を順テープ形状としている。このため、段差部における信号の変化が急峻ではなく、またその強度も弱くなっている。これに対し本実施例による方法では、シャープな断面形状を有する下層配線金属でマークを形成しているため、極めて急峻な信号変化が十分大きな信号強度で得られるのである。また、本実施例で得られた信号強度は従来例に比べ約15倍であった。

形成しておき、接続孔開口時にこのマークの領域を開口しておくことである。このような位置合わせ用マークのパターンレイアウト例を第2図に示す。図中実線が下層配線により形成されるウェハ側の合わせマークであり、一点鎖線が、このパターンに位置を合わせるべくマスク上に形成されている上層配線の合わせパターンである。これらを囲むように接続孔開口時に同時に開口されるパターンが図中点線で示されている。

本発明者等の実験においては、露光装置として5:1の縮小投影型露光装置を用い、位置合わせをHe-Cdレーザを用いた自動アライメントにより行った。このような自動アライメント方式によりウェハ上に形成された位置合わせマークをスキャンした場合に得られる信号強度の例を、本実施例と従来例とで比較して第3図に示す。第3図は横軸がレーザをスキャンする方向を示し、ウェハ上の位置合わせマークの場所に対応する。縦軸がその際に得られるアライメント信号強度、即ちウェハ表面から反射され

以上述べたようなアライメント信号を用いて、各ショット毎にアライメントを行い焼き付ける方式で自動アライメント方式により実際にウェハ上にパターンを焼き付けた結果、3インチのウェハ上の全ショット数42に対して、従来の位置合わせマークを用いた場合には約2/3に当たる30ショットがアライメント不良であり、自動アライメントができなかった。これに対し、本実施例のマークを用いた場合は42ショット全てに対して自動アライメントが行えた。また、自動アライメントが行えたショットのアライメント精度を測定したところ、従来のマークを用いた場合には合わせずれの量がx方向で±1.4μm、y方向で±1.7μm(3σの値)であったのに対し、本実施例によるマークを用いた場合にはx方向±0.6μm、y方向±0.4μm(3σの値)と、約1/2~1/3に向上した。この結果、接続孔部分における下層配線、接続孔、上層配線等の各層のパターンレイアウト上のマージンを小さくすることができ、ひいてはチップサイズの縮小

をはかることができた。

なお、本発明は上述した実施例に限定されるものではない。実施例では、下層配線或いは電極の形成工程によりウェハ上の位置合わせマークを形成したが、本発明においては配線以前の工程によりマークを形成することも可能である。例えば、下層配線と半導体基板上に形成された素子を接続するためにこれらの間の酸化膜に接続孔を形成する工程において、同時にマーク形成領域に開口部を形成し、これをもって上層配線用の位置合わせ用基準マークとしてもよい。さらに、予め半導体基板上に溝形のマークを掘り込んでおくことも可能である。また、前記中間層はレジストに限るものではなく、前記第1図(f)に示す工程で除去されるものであればよく、ポリイミド等の有機膜を用いることも可能である。

また、実施例においては、縮小影響露光装置の各露光エリア毎に自動位置合わせを行う、所謂ダイ・バイ・ダイ方式の場合について述べた

が、ウェハ上の数ヶ所で位置決めをしておき、これを基準として各エリアの露光を行う、所謂グローバルアライメント方式にも適用できる。さらには、各露光エリアの位置合わせ・露光に先立って、ウェハの位置・回転を補正するために行うウェハアライメントのマークにも本発明は適用可能である。さらに、露光装置に関しては、縮小投影露光装置のみならず、1:1のプロジェクション露光装置やコンタクト露光装置等にも適用可能であることはいうまでもない。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【発明の効果】

以上詳述したように本発明によれば、自動アライメント時にも十分大きな信号強度が得られるために、アライメント不良が大幅に少なくなり、スループット、歩留りともに大幅に向上する。また、合わせてアライメント精度の向上もはかれるため、バターン同士の位置ずれを考慮したレイアウト上のマージンを小さくすること

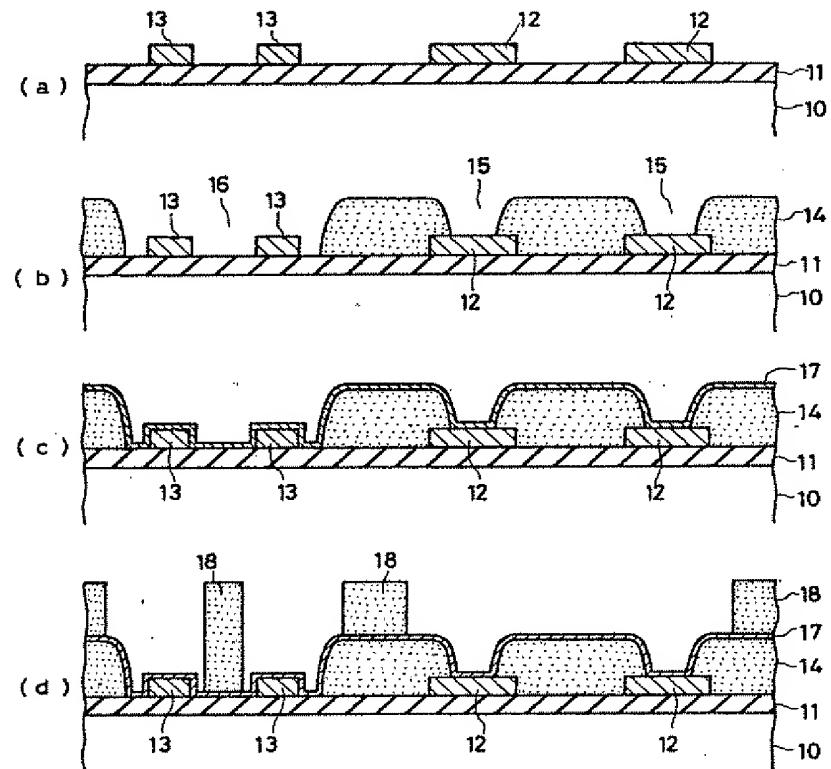
が可能となり、チップサイズを縮小することができる。

#### 4. 図面の簡単な説明

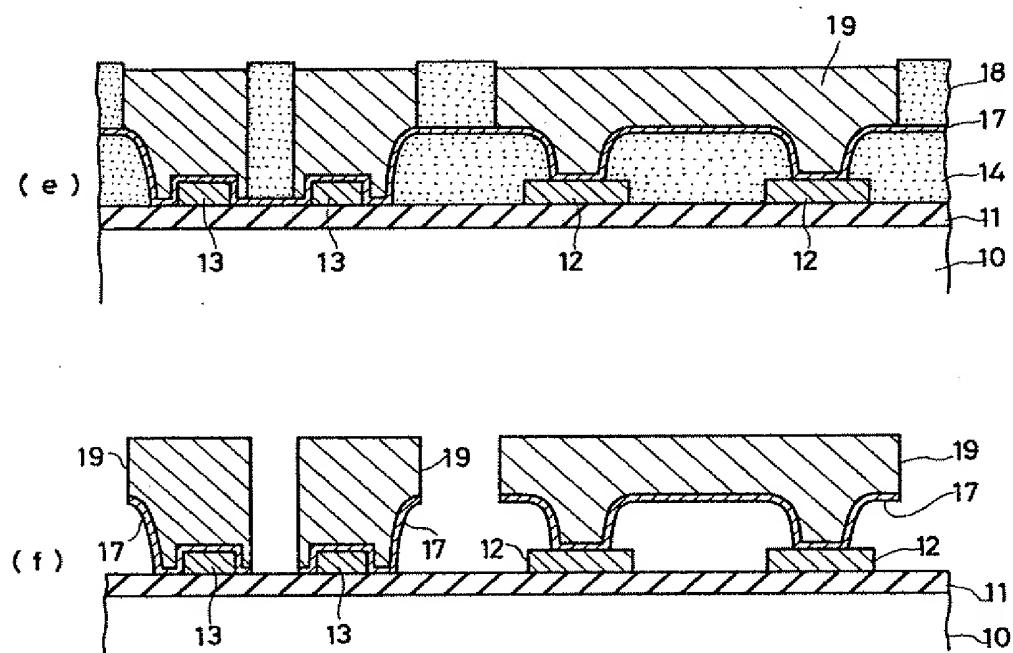
第1図は本発明の一実施例に係わる半導体装置の製造工程を示す断面図、第2図は上記実施例による位置合わせマークのバターンレイアウトを示す平面図、第3図は実施例及び従来例による位置合わせマークでのアライメント信号強度を示す図、第4図は従来例による製造工程を示す断面図である。

- 1.0…半導体基板、1.1…SiO<sub>2</sub>膜、
- 1.2…下層配線、
- 1.3…位置合わせ用基準マーク、
- 1.4…レジスト(中間層)、
- 1.5…接続孔、1.6…開口部、
- 1.7…電極用Au膜(第1の金属膜)、
- 1.8…レジスト(感光性樹脂)、
- 1.9…メッキ用Au膜(第2の金属膜)。

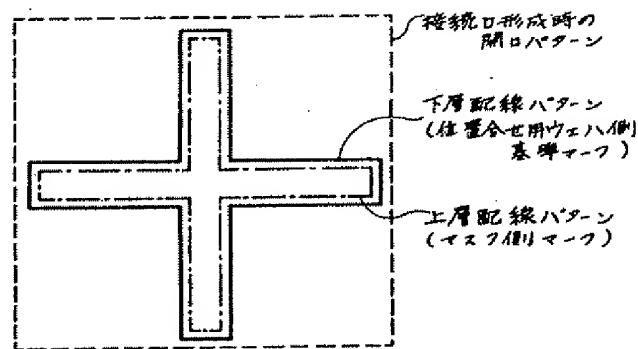
出願人代理人弁理士鈴江武彦



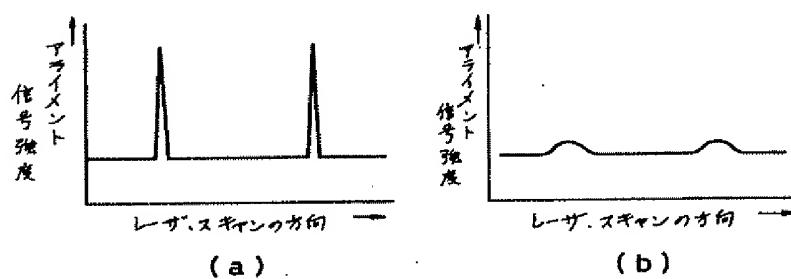
第1図



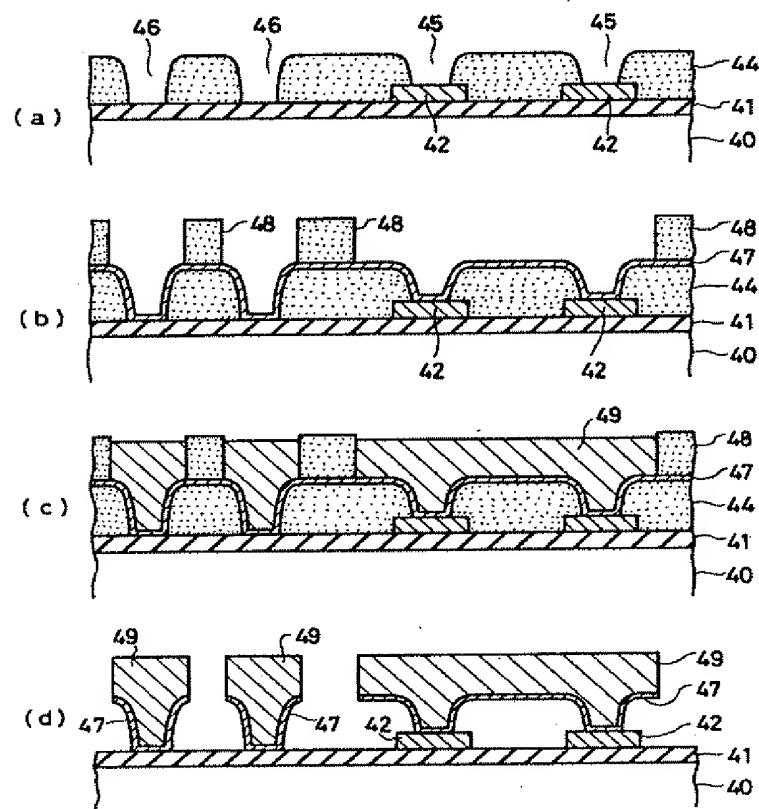
第1図



第2図



第3図



第4図

Cited Reference 2 (Abstract).

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-088352  
(43)Date of publication of application : 12.04.1991

(51)Int.Cl. H01L 21/90

H01L 21/027

(21)Application number : 01-225422

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.08.1989

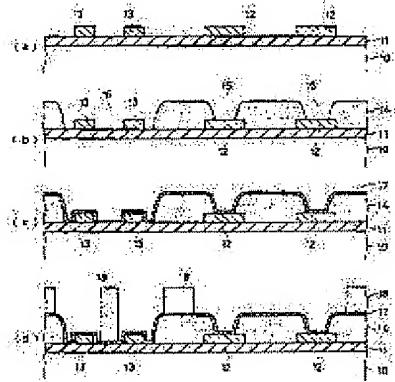
(72)Inventor : TERADA TOSHIYUKI  
INOUE TOMOTOSHI  
TOMITA KENICHI

### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

#### (57)Abstract:

PURPOSE: To obtain a sufficiently large signal strength even at the time of an automatic alignment by forming an alignment reference mark of a wafer side by a lower layer interconnection, and opening the region of the mark at the time of opening of a connection hole.

CONSTITUTION: An SiO<sub>2</sub> film 11 is formed on the surface of a semiconductor substrate 10, a lower layer interconnection 12 is formed, an alignment reference mark 13 at the time of formation of an upper layer interconnection pattern is simultaneously formed of lower layer interconnection metal. After the whole surface is coated with resist 14, a connection hole 15 and an opening 16 are formed at the resist 14, and the upper layer interconnection pattern on an Au film 17 and a pattern of resist 18 having an opening on the mark 13 are formed. Thus, the alignment mark in the case of positioning the upper layer interconnection pattern is formed not of the resist having a tapered opening but the lower layer interconnection metal on the substrate. Accordingly, a sharp sectional shape is obtained as a mark, and a sufficient alignment signal is obtained even by an automatic positioning system.



# Cited Reference 3.

(9) 日本国特許庁 (JP) (11) 特許出願公開  
 (12) 公開特許公報 (A) 昭63-12156

(5) Int. Cl. <sup>4</sup> H 01 L 21/90 21/30	識別記号 361	庁内整理番号 N-6708-5F Z-7376-5F	(13) 公開 昭和63年(1988)1月19日 審査請求 未請求 発明の数 1 (全5頁)
----------------------------------------------------	-------------	----------------------------------	---------------------------------------------------

(6) 発明の名称 微細パターン形成方法

(2) 特願 昭61-156545  
 (2) 出願 昭61(1986)7月2日

(7) 発明者 小崎 克也 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

(7) 発明者 佐々木 善伸 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

(7) 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

(7) 代理人 弁理士 大岩 増雄 外2名

## 明細書

### 1. 発明の名称

微細パターン形成方法

### 2. 特許請求の範囲

半導体基板表面にエアブリッジを形成する工程において、所要数の電極が形成された半導体基板表面にフォトレジストを比較的厚く塗布する工程、前記半導体基板の少なくとも2つの電極を線状に結ぶ範囲のフォトレジストを1回目の露光で所定の深さに露光する工程、前記各電極の形成されている範囲のフォトレジストを2回目の露光で電極界面まで露光する工程、二段階によって露光したレジスト露光部分を現像後除去し、立体的レジストプロファイルを形成する工程、前記立体的レジストプロファイルを有するレジストパターンをマスクとして金属蒸着を行い、蒸着金属層を形成する工程、リフトオフにより残ったフォトレジストとともに不要な蒸着金属層を除去して、エアブリッジを形成する工程を含むことを特徴とする微細パターン形成方法。

## 3. 発明の詳細な説明

### (産業上の利用分野)

この発明は、半導体基板上への微細パターン形成方法に関し、特にG+Al<sub>2</sub>O<sub>3</sub>基板上へのエアブリッジの形成方法に関するものである。

### [従来の技術]

第2図(a)～(j)は従来の半導体基板上への構造の立体的金属微細パターン(エアブリッジ)形成方法の主要製造工程を示す断面図で、以下これを用いて従来の方法を説明する。第2図において、1は半導体基板、2は電極、3および3'3''はネガ型フォトレジスト、4は第1スパッタ金属層、4'4''は第2スパッタ金属層、5は第1メッキ金属層、5'5''は第2メッキ金属層、6および6'6''はポジ型フォトレジストである。

次に製造工程について説明する。

まず、第2図(a)に示すように、半導体基板1上に所要数の電極2を形成後、ネガ型フォトレジスト3を塗布し、写真製版によって前記ネガ型フォトレジスト3をバターニングし、次いで、スパ

タクリングデポジションを行って第1スパッタ金属層4を形成する。ここで、スパッタリングデポジションとは、スパッタリングによって削られたターゲット金属を堆積させる金属形成法である。

次に、第2図(b)に示すように、ネガ型フォトレジスト33を塗布し、写真製版によって前記ネガ型フォトレジスト33をパターニングする。次に、第2図(c)に示すように、電解メッキを行って第1メッキ金属層5を形成し、その後、第2図(d)に示すように、ネガ型フォトレジスト3および33を除去してエアブリッジの橋げた部分を形成する。続いて、第2図(e)に示すように、ポジ型フォトレジスト6を塗布した後、第2図(f)に示すように、写真製版によって前記ポジ型フォトレジスト6をパターニングし、次いで、第2図(g)に示すように、スパッタクリングデポジションを行い、第2スパッタ金属層44を形成する。第2図(g)の状態の後、第2図(h)に示すように、第2スパッタ金属層44の上に、さらにポジ型フォトレジスト66を塗布し、写真製版によってパターニングする。

この発明は、上記のような問題点を解消するためになされたもので、従来の複雑な工程を簡単化し、かつ形状の優れたエアブリッジを再現性よく形成することを目的とする。

#### [問題点を解決するための手段]

この発明に係る微細パターン形成方法は、所要数の電極が形成された半導体基板上にフォトレジストを比較的厚く塗布し、このフォトレジストの所望の範囲を1回目の露光工程で所定の深さに露光し、その後、2回目の露光工程で電極の形成されている範囲のフォトレジストを電極界面まで露光し、この二段階の露光部分を現像後除去して立体的レジストプロファイルを形成し、この立体的レジストプロファイルをマスクとして金属蒸着を行い、蒸着金属層を形成し、リフトオフにより残ったフォトレジストとともに不要な蒸着金属層を除去して、エアブリッジを形成するようにしたものである。

#### [作用]

ニングする。その後、第2図(i)に示すように電解メッキを行って第2メッキ金属層55を形成し、最後にポジ型フォトレジスト6および66を除去して、第2図(j)に示すようなエアブリッジを形成する。ここで、第1スパック金属層4および第2スパック金属層44は、それぞれ第1メッキ金属層5および第2メッキ金属層55を形成する工程において、半導体基板1をカソード電極となして電解メッキを行うための下地金属層として機能している。

#### [発明が解決しようとする問題点]

従来の半導体基板1上への金属微細パターン形成方法によると、第2図(a)ないし第2図(j)のように非常に工程数が多く複雑で、特に写真製版を4回行わなくてはならないため(第2図(a)の第1スパック金属層4を形成する前の工程、および第2図(b),(f),(h)の工程における計4回)、マスク合わせを繰り返すごとにアライメント精度が低下していき、マスクずれが生じ易く、エアブリッジの外観不良を引き起こすという問題点があ

この発明においては、フォトレジストを条件の異なる2回の露光工程によって感光させて立体的レジストプロファイルを形成するので、工程数が簡略化されるとともに、アライメント精度が向上し、高精度のエアブリッジが形成される。

#### [実施例]

第1図(a)～(f)はこの発明の微細パターン形成方法における主要製造工程を示す断面図で、この図で、1は半導体基板、例えばGaAs基板、2は電極、6はポジ型フォトレジスト、6aはポジ型フォトレジスト感光部分、7は蒸着金属層を示し、また第1図(b)および(c)中の矢印は、集束性イオンビーム(以下FIBといふ)の入射方向をそれぞれ表している。

まず、第1図(a)に示すように、電極2を形成した後のGaAs基板1にポジ型フォトレジスト6を比較的厚めに(層厚約1μm)塗布した後、第1図(b)に示すように、GaAs基板1上に塗布されたポジ型フォトレジスト6の所望する範囲に、イオン種B<sup>e+</sup>、ドーズ量 $1.0 \times 10^3 \text{ cm}^{-2}$ 、加圧

電圧 100 KeV なる FIB を選択的に照射し、ポジ型フォトレジスト 6 を表面から約 0.8 μm の深さまで感光させる。次に、第1図(c)に示すように、電極 2 の形成されている範囲のポジ型フォトレジスト 6 に、前工程よりも高い加速電圧(200 KeV)で、イオン種 Be<sup>2+</sup>、ドーズ量  $1.0 \times 10^3 \text{ cm}^{-2}$  なる FIB を選択的に照射し、前記ポジ型フォトレジスト 6 を電極 2 との界面に至るまで完全に感光させた後、第1図(d)に示すように、現像を行って構型のい状となるような立体的レジストプロファイルを得る。続いて、第1図(e)に示すように、金属蒸着を行い、蒸着金属層 7 を形成し、その後、リフトオフ(ポジ型フォトレジスト 6 を除去)を行って、第1図(f)に示すようなエアブリッジを形成する。

上記実施例のように、ポジ型フォトレジスト 6 を感光させる手段として FIB を用いると、注入するイオン種あるいは加速電圧等の条件を適当に選び、ポジ型フォトレジストを所望の深さまで感光させることによって、立体的レジストプロファ

FIB 感光を用いたが、光学露光、EB 露光、X線露光等ポジ型フォトレジスト 6 を GaAs 基板 1 との界面に至るまで感光させることができるものであれば何でもよい。

#### [発明の効果]

この発明は以上説明したとおり、所要数の電極が形成された半導体基板上にフォトレジストを比較的厚く塗布する工程、半導体基板の少なくとも 2 つの電極を線状に結ぶ範囲のフォトレジストを 1 回目の露光で所定深さを露光する工程、各電極上のフォトレジストを 2 回目の露光で電極界面まで露光する工程、現像後各露光部分を除去して立体的レジストプロファイルを形成する工程、この立体的レジストプロファイルを有するレジストパターンをマスクとして金属蒸着により蒸着金属層を形成する工程、リフトオフにより残ったフォトレジストとともに不要な蒸着金属層を除去してエアブリッジを形成する工程とからなるので、従来に比べて少ない工程数でエアブリッジを形成できる。特に、写真製版のマスク合せの繰り返しが減

イルの形成が可能となる。この作用を利用してこの実施例による方法では、第1図(b)の工程で、まず、エアブリッジの構造のい型となるべき部分のポジ型フォトレジスト 6 を感光させ、次いで第1図(c)の工程で、エアブリッジの構成のい型となるべき部分のポジ型フォトレジスト 6 を感光させている。

なお、上記実施例では、第1図(c)の工程で、第1図(b)より加速電圧を高くした FIB を用いたが、FIB の加速電圧を一定にして第1図(c)の工程の FIB に用いるイオン種の質量数が、第1図(b)の FIB に用いるイオン種の質量数より小さくなるように(例えば第1図(b)の工程で Si イオン、第1図(c)の工程で Be イオンを用いる)、それぞれの工程の FIB に用いるイオン種を選んでやっても同様な作用がある。ただし、この場合第1図(c)の工程で、FIB がポジ型フォトレジスト 6 を GaAs 基板 1 との界面に至るまで感光させるように加速電圧を選んでやることが必要である。また以上あげた例では、第1図(c)の工程に

ることからアライメント精度が上がり、形状の優れたエアブリッジを形成できるという効果がある

#### 4. 図面の簡単な説明

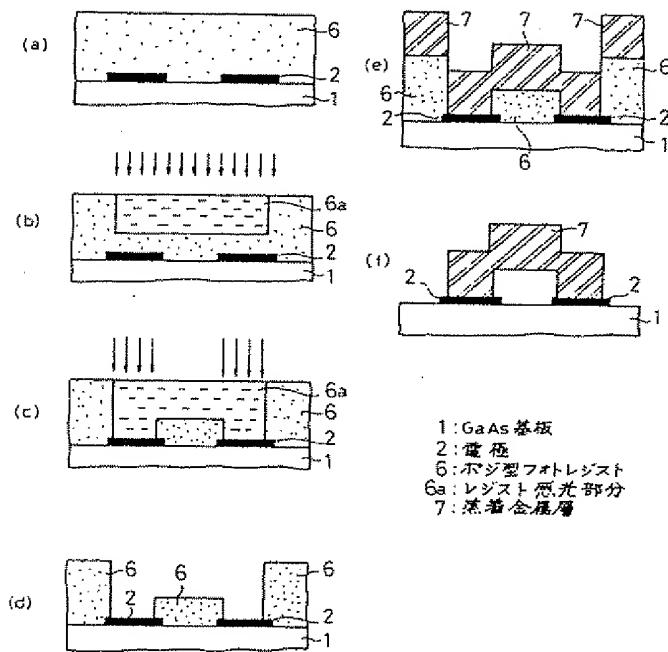
第1図(a)～(f)はこの発明の一実施例による微細パターン形成方法における主要製造工程を示す断面図、第2図(a)～(j)は従来の微細パターン形成方法の主要工程を示す断面図である。

図において、1 は GaAs 基板、2 は電極、6 はポジ型フォトレジスト、6a はポジ型フォトレジスト感光部分、7 は蒸着金属層である。

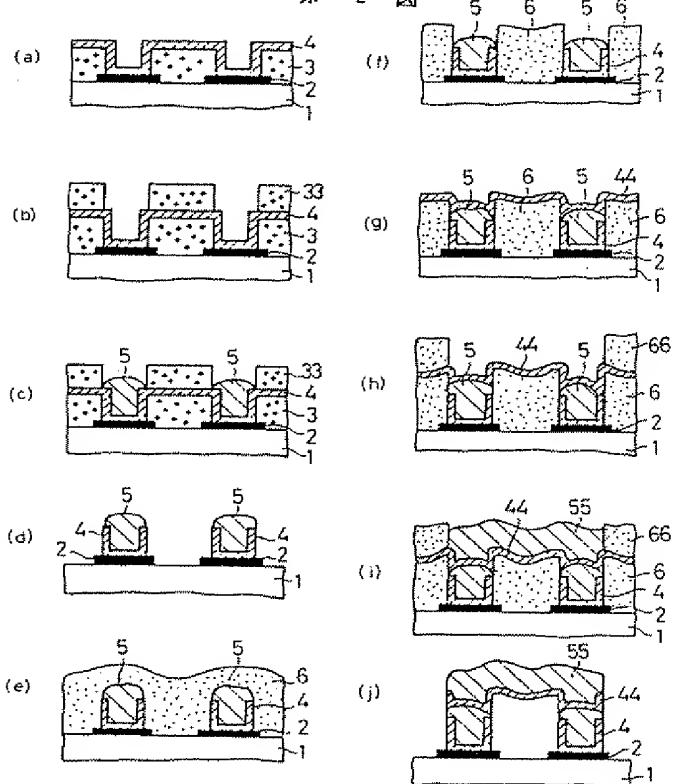
なお、各図中の同一符号は同一または相当部分を示す。

代理人 大岩増雄 (外 2 名)

第1図



第2図



## 手 続 極 正 書 (自 発)

昭和 62 年 3 月 18 日

特許庁長官殿



1. 事件の表示 特願昭61-156545号

2. 発明の名称 微細バターン形成方法

3. 極正をする者  
事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601)三菱電機株式会社  
代表者 志岐守哉

4. 代理人  
住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375)弁理士 大岩増雄  
(連絡先03(213)3421特許部)

## 5. 極正の対象

明細書の発明の詳細な説明の欄および図面

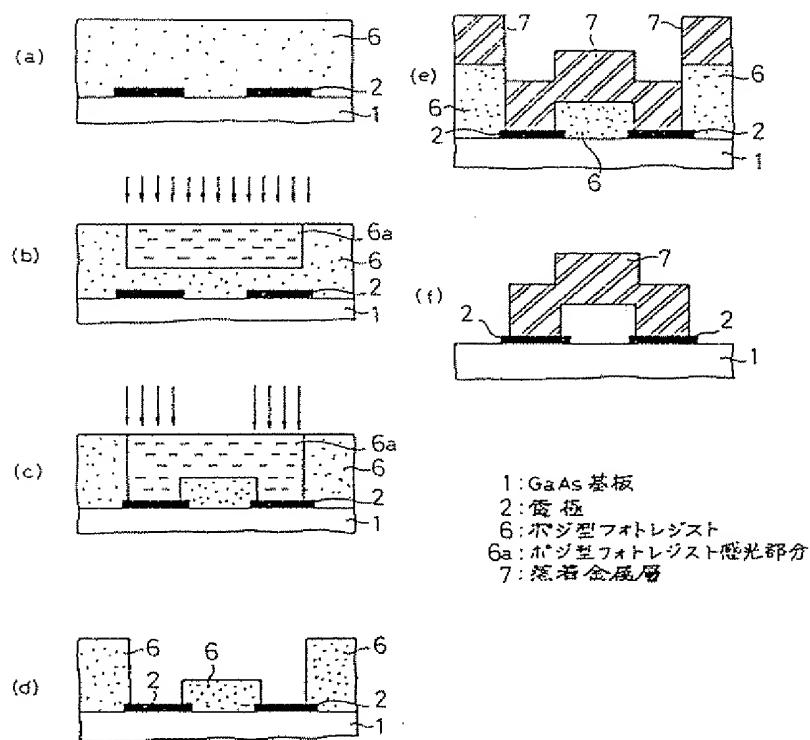
## 6. 極正の内容

- (1) 明細書第6頁20行、第7頁6～7行の「 $1.0 \times 10^{-3} \text{cm}^{-2}$ 」を、それぞれ「 $1.0 \times 10^{-13} \text{cm}^{-2}$ 」と極正する。
- (2) 同じく第6頁20行の「加圧」を、「加速」と極正する。
- (3) 同じく第7頁10行の「橋型のい状」を、「橋状のい型」と極正する。
- (4) 第1図を別紙のように極正する。

以 上



第 1 図



## Cited Reference 3 (Abstract).

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-012156**  
(43)Date of publication of application : **19.01.1988**

(51)Int.Cl. **H01L 21/90**

**H01L 21/30**

(21)Application number : **61-156545**

(71)Applicant : **MITSUBISHI ELECTRIC CORP**

(22)Date of filing : **02.07.1986**

(72)Inventor : **OZAKI KATSUYA  
SASAKI YOSHINOBU**

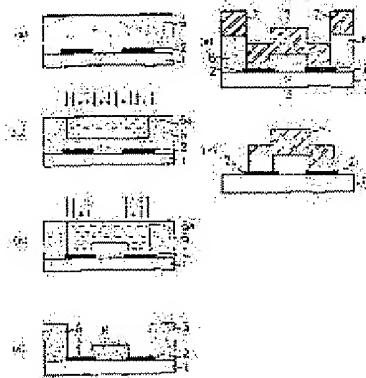
**(54) MINUTE PATTERN FORMING METHOD**

**(57)Abstract:**

**PURPOSE:** To form a three-dimensional minute pattern of a desired configuration in a simple and reproducible manner by depositing metal using a mask composed of a three-dimensional resist profile obtained by two exposure processes under different conditions.

**CONSTITUTION:** Positive type photoresist 6 is thickly applied on a GaAs substrate 1, on which an electrode 2 is formed. A converging ion beam is selectively projected, and a desired range of the resist 6 is exposed to a desired thickness. Then an ion beam accelerated by a voltage higher than that in the previous process is projected to the resist 6 in the range where the electrode 2 is formed. The resist 6 is exposed to the interface with the electrode 2. Then, development is performed, and a three-dimensional resist profile is obtained.

Thereafter, metal is evaporated, and a metal deposited layer 7 is formed. Lift-off is performed, and a three-dimensional minute pattern is obtained. Thus, reproducibility is improved.



cited Reference 4.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-326357

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/027				
21/3205				
21/90	D 7735-4M	7352-4M	H 01 L 21/ 30	3 0 1 C
		7352-4M		3 6 1 P
			審査請求 未請求 請求項の数1(全8頁)	最終頁に続く

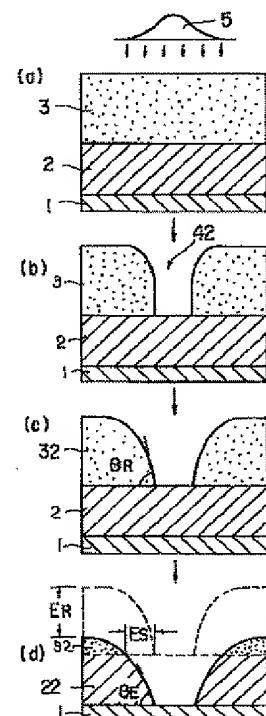
(21)出願番号	特願平4-130876	(71)出願人	000004226 日本電信電話株式会社 東京都千代田区内幸町一丁目1番6号
(22)出願日	平成4年(1992)5月22日	(72)発明者	三村 義昭 東京都千代田区内幸町一丁目1番6号 日本電信電話株式会社内
		(72)発明者	青山 真二 東京都千代田区内幸町一丁目1番6号 日本電信電話株式会社内
		(72)発明者	君塚 正勝 東京都千代田区内幸町一丁目1番6号 日本電信電話株式会社内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 接続孔の形成方法

(57)【要約】

【目的】本発明は、従来技術の最大の欠点である全面露光によるレジスト膜減りの問題を解決し、かつ、従来技術法の最大の欠点であるレジストパタン熱変形の制御性不良の問題を解決した、新規な接続孔テープ加工用レジストプロファイル制御技術を用いた接続孔の形成方法を提供することを目的とする。

【構成】本発明は、半導体装置の製造プロセスにおいて層間絶縁膜に孔をあけて金属配線間を接続させる接続孔の形成工程中の投影露光方式を用いた光露光工程において、非焦点位置で露光したのちに続いて焦点位置で露光することにより、焦点位置を同一箇所で少なくとも2度以上替えながら露光した後、現像する第1の工程と、これに引き続き、基板温度を徐々に上げながらUV光を照射する第2の工程とを有して構成する。



## 【特許請求の範囲】

【請求項1】半導体装置の製造プロセスにおいて層間絶縁膜に孔をあけて金属配線間を接続させる接続孔の形成工程中の投影露光方式を用いた光露光工程において、非焦点位置で露光したのちに統いて焦点位置で露光することにより、焦点位置を同一箇所で少なくとも2度以上替えながら露光した後、現像する第1の工程と、これに引き続き、基板温度を徐々に上げながらUV光を照射する第2の工程とを有することを特徴とする接続孔の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体製造プロセスに於いて、金属配線間を接続させるコンタクトホールやスルーホール等の接続孔の形成方法に関するものである。

## 【0002】

【従来の技術】層間絶縁膜に形成するコンタクトホールやスルーホールの断面形状は、孔径が $2\sim 3\text{ }\mu\text{m}$ と大きい従来の場合は、垂直に形成するだけで十分であった。しかし、素子寸法の微細化に伴って、最近当該孔径を $0.5\sim 1\text{ }\mu\text{m}$ と小さくする必要性が生じてきている。ところが、この様な小さな孔径の断面形状を従来通り垂直のままですると、孔の深さと孔径の比、即ちホールのアスペクト比が1を越えることとなり、ホール形成工程に統いて形成される上部配線形成工程に於いて、該ホール側壁に配線素材が付着しにくくなる傾向があるため、アルミニウム等の金属配線間の接続が不十分となり、この結果、半導体装置の歩留まりが著しく低下する。微細ホールでのこの様な不都合を回避するには、ホールの断面形状を、通常表面側の孔径が徐々に広がったテーパ状あるいは、2段階ないし3段階に広げたステップ状のホール形状に加工すればよいことが一般に知られている。

【0003】この様な形状のコンタクトホールやスルーホールを得る加工方法として、これまで、(1)RIE加工法とウェットエッチ法(或いはプラズマエッチ法)の組合せ、(2)RIE加工時のレジストマスクの後退を利用したテーパないしステップ加工法、が考案されている。加工法(1)では、被加工層の $1/2\sim 2/3$ 程度の深さまでRIE加工法で垂直に加工した後、残りをウェットエッチ法或いはプラズマエッチ法で等方的に加工することにより、被加工層の表面側の孔径が広がったテーパ状のホール形状を得るものであり、加工順序を逆転させてもほぼ同様の結果を得ることが出来ることが知られている。この方法は、レジストパターンの断面形状に特段の工夫を必要としないことから、テーパ状のホール形状を得るにもっとも簡単な方法と言えるが、ウェットエッチ法等の等方性エッチ法を使用するため、ホールの寸法や断面形状を精密にコントロールすることが原理的に不得意であり、従って、高精度の寸法制御性を必要とする孔径 $1\text{ }\mu\text{m}$ 以下のコンタクトホールないしスルーホールの加工に適用するのが困難である欠点を有する。

【0004】他方、上記の加工法(2)の範疇に含まれる方法として、(A)レジストパターンの断面形状を特段に制御しない方法、と制御する方法として、(B)全面露光法や、(C)熱フロー法等に大別される。(A)の方法は、通常の方法でレジスト膜にホールパターンを形成した後、レジスト膜下の層間絶縁膜をRIE加工する。この際、(イ)絶縁膜が効率よくエッティングされ、レジスト膜は殆どエッティングされないガス組成で(例えば、CHF<sub>3</sub>)、まず絶縁膜の途中の深さまで垂直にエッティング加工した後、(ロ)絶縁膜とレジスト膜の両方が効率よくエッティングされるCHF<sub>3</sub>とO<sub>2</sub>の混合ガス雰囲気で残りの深さ分の絶縁膜をRIE加工する。以上の工程で絶縁膜表面側の開口径が広がったテーパ状の断面形状を有するコンタクトホールが完成する。上記(ロ)のステップにおいて、テーパ状に加工される理由は、絶縁膜と同時にレジスト膜をエッティングする過程において、レジストパターンエッジが徐々に後退するためである。このエッジの後退量:  $\Delta T$ は、レジストパターン断面の傾斜角:  $\theta R$ とレジスト膜のエッティング量: ERとの間におよそ  $\Delta T = ER / \tan \theta R$  の関係が成立立つ。したがって、短時間で所望のエッジ後退量を得、寸法精度並びによく制御されたテーパ状の断面プロファイルを安定に得るためにには、レジスト膜上のホール径を所望の値に精密に保持しつつ、かつレジストパターン傾斜角  $\theta R$  を適切な値に制御する必要があることが分かる。

【0005】上記(A)の方法では、寸法精度は良好に維持できる平面、レジストパターンの傾斜角  $\theta R$  が一般に $80\sim 85^\circ$ と大きいため、典型的なエッジ後退量 $0.2\text{ }\mu\text{m}$ を得るために、レジスト膜のエッチ量ERが $1.1\sim 2.3\text{ }\mu\text{m}$ とかなり厚くなるため、レジスト塗布膜厚を $2.5\text{ }\mu\text{m}$ 以上に設定する必要がある。この様な厚いレジスト膜に孔径 $1\text{ }\mu\text{m}$ 以下のコンタクトホールを高精度に形成することは容易ではない上、レジスト後退量 $0.2\text{ }\mu\text{m}$ を加工するために長時間を必要とし、かつ  $\theta R$  の僅かな変動で  $\Delta T$  の値が大きく変動することから、高精度のコンタクトホールを再現性よく加工するのが困難である欠点がある。

【0006】それに対し、(B)の全面露光法はパターンの露光に先立ち、予めレジスト全面にパターン露光の露光量の数分の1の少量の露光量で露光することにより、レジスト表層部の現像液に対する溶解速度を高めることによって、現像後のホールの断面形状をテーパ状にしようとするものである。この方法は、比較的簡単な工程で理想に近いホール形状を得ることが可能である反面、全面露光工程により、レジスト塗布膜の膜べりを原理的に防止することは出来ない。しかも表面に凹凸があり、かつ反射率の高いアルミ配線部と反射率の低い非アルミ配線部が混在している実際のLSIウェハに本方法を適用した場合、ウェハの局部的な状態に対応した反射光強度の

局部的な片よりにより、レジスト膜べりに局部的な片よりも生じ、この結果レジスト膜厚が次工程のエッチング加工のマスクとして耐えられないほど薄い箇所が発生する恐れがある。この方法は、現像過程で生ずるレジスト膜べりを考慮して、(A)法と同様に予め厚いレジスト膜厚が必要である上、上述したようにホール形状やレジスト膜厚が下地基板によって影響され易く、寸法精度が出しにくい等の難点が指摘されている。

【0007】(C)の熱フロー法は、通常の露光方法で断面形状が円筒状のレジストホールパタンを形成した後、ホットプレート等の加熱装置により、ウェハをレジスト材料の主成分であるクレゾールノボラック樹脂の熱変形温度以上の140～180℃程度に加熱して、レジストパタンを熱変形させることによって、レジストパタン断面形状を円筒状からテーパ状に変形させることを基本としている。この方法は、工程が簡単である反面、レジストの熱変形を利用しているため、下地段差やホール径、レジスト膜厚等の僅かな違いによって、熱変形の状態が大きく影響されるため、一般に制御性に乏しく、孔径や孔のテーパ形状制御に再現性の良好な結果は期待できない。そのため、ホール径が1.5μm以上の比較的大きなホール形成法としては使用できるが、ホール径の厳密な制御性が要求される1μm以下の微細なホール形成法としては実用困難である。

【0008】他方、本発明の露光方法と類似した露光法としてFLEX法が知られている(特開昭58-17446号、特開昭63-42122号、特開昭63-177420号)。この露光方法は焦点を変えながら露光する点に関しては、本発明の非焦点露光/焦点露光を行う点類似しているが、上記FLEX法はその特許出願明細書に明記してあるように、その発明の目的は「実効的焦点裕度」の拡大であり、本発明の目的とはまったく異なっている。

【0009】図4は従来技術の代表例である全面露光法の工程を説明するための図であり、工程順に順次説明する。図4中、1は基板、2は層間絶縁膜、3はレジスト膜、21はRIE加工で層間膜に膜減りが生ずる全面露光法で形成した層間絶縁膜、23はレジスト膜厚不足によって生じた層間膜の膜減り量、31は全面露光膜減りが生じたホール形成後のレジスト膜、41は全面露光法で形成したレジスト膜減りが大きいホールレジストパタンである。

【0010】即ち、図4(a)に示すように、半導体基板1上に層間絶縁膜2が被覆されているウェハ上にホトレジスト膜3を塗布した被加工基板に、図4(b)に示すようにレジスト膜3全面にこの後で実施されるコンタクトホール形成時の露光量の数分の1の弱い露光量で露光した後、上記コンタクトホール形成のための本露光を行い、既知の方法により、現像を行い、所望のコンタクトホールレジストパタン41を形成する。この方法では

原理的にレジスト膜3に大きな膜減り△TBが生じる。この膜減り量は全面露光量に大きく依存し、かつ、コンタクトホールレジストパタン41の側壁傾斜角θRを所望の角度である60°程度に調節すると、当該膜べり量がレジスト塗布膜厚の50%程度に達し、コンタクトホールレジストパタン41形成後のレジスト膜31の膜厚が半減してしまい、以後の層間膜加工工程でレジスト膜厚不足という当該方法の本質的な欠点が生じてしまう。

【0011】層間絶縁膜2をRIE加工する前に、図4(c)に示すような特別なUVキュア条件によるレジストパタンの熱フローと光硬化反応のバランスを旨く利用して、レジストテーパ角の制御と側壁の平滑化処理を実施することにより、層間絶縁膜のテーパ加工をより確実に、かつ制御性よく実施することが出来る。

【0012】以上説明した工程により、コンタクトホールレジストパタン41を形成した後、図4(d)に示すようにRIE加工装置により、層間絶縁膜2をエッチングし、所望のテーパ形状のコンタクトホールないしスルーホールを得ることに依って、一連の工程が完了する。図4(d)に示す従来の全面露光方式の場合、レジスト膜減りが原理的に避けられないために、層間絶縁膜のRIE加工の工程で、レジスト膜31の厚さ不足により、RIE加工中にレジスト膜を消失し、その結果、露出した層間絶縁膜21が削られて薄くなり、層間絶縁不良を発生させる懼れが増大すると言う致命的な欠点を生じやすい。

### 【0013】

【発明が解決しようとする課題】本発明は、上述した従来技術の最大の欠点である全面露光によるレジスト膜減りの問題を解決し、かつ、従来技術法の最大の欠点であるレジストパタン熱変形の制御性不良の問題を解決した、新規な接続孔テーパ加工用レジストプロファイル制御技術を用いた接続孔の形成方法を提供することを目的とする。

### 【0014】

【課題を解決するための手段】本発明は上記課題を解決するために、半導体装置の製造プロセスにおいて層間絶縁膜に孔をあけて金属配線間を接続させる接続孔の形成工程中の投影露光方式を用いた光露光工程において、非焦点位置で露光したのちに統いて焦点位置で露光することにより、焦点位置を同一箇所で少なくとも2度以上替えながら露光した後、現像する第1の工程と、これに引き続き、基板温度を徐々に上げながらUV光を照射する第2の工程とを有することを特徴とするものである。

### 【0015】

【作用】本発明による接続孔の形成方法を使用することにより、サブミクロンサイズの当該ホールを精度良く、かつホール側壁角をおよそ50°～85°程度の範囲内の任意の角度に調節することが可能である。従って、通常LSIのメタル層間の接続に使用されるコンタクト

ホールやスルーホールの側壁に傾斜をつけたいわゆるテーパ状のホールを広いプロセスマージンをもって、安定して形成することが可能であり、これによって、コンタクトホールまたはスルーホール内部への配線金属の被覆性が向上して、当該ホールの接続抵抗が低減して、接続の信頼性が向上すると共に接続歩留まりが大幅に改善される結果、L S I の製造歩留まりが大幅に改善される利点がある。

#### 【0016】

【実施例】以下図面を参照して本発明の実施例を詳細に説明する。

【0017】図1は本発明の原理と工程を説明するための断面図であり、工程順に順次説明する。図1中、1は基板、2は層間絶縁膜、3はレジスト膜、5は非焦点露光時の光の強度分布、22は膜減りが生じていない本発明による層間絶縁膜加工後の層間絶縁膜、32はレジスト膜減りが原理的に生じていない本発明によってホールを形成した後のレジスト膜、42は本発明で形成したレジスト膜減りのないホールレジストパタンである。

【0018】即ち、図1(a)に示すように、半導体基板1上に層間絶縁膜2が被覆されているウェハ上にホトレジスト膜3を塗布した被加工基板のコンタクトホールを形成する部分のみに、光の強度分布5を有する非焦点露光を行った後、所望のコンタクトホールパタンを露光したのに引き続き、従来技術で説明したと同様の条件で現像処理を行い、所望のコンタクトホールレジストパタン42を得る。この方法では、コンタクトホール回りのレジスト膜のみしか露光されていないので、図1(b)のレジスト現像後のレジスト膜厚は、原理的に塗布膜厚にほぼ等しく、図4(b)で説明したようなレジスト膜減りを生じない。図1(a)において、コンタクトホールをホトレジスト膜上に露光する方法には、通常ステップとよばれる縮少投影露光装置を使用する。とくに、本発明において、コンタクトホール露光に先だってなされ、かつ本発明の根幹をなす非焦点露光の実施方法及びその条件について以下に詳細に説明する。

【0019】図2にコンタクトホールレジストパタンのテーパ形状を制御するための非焦点露光の相対露光量と当該レジストパタンの側壁傾斜角θRの関係を示す。ここで、相対露光量とは、ポジ型ホトレジスト膜に所定の現像条件で開孔するに必要な最小の露光量で定義される閾値露光量を1としたときの相対露光量である。この場合の設計値0.5~1μm径のコンタクトホールに対する非焦点露光の後で実施される焦点露光の相対露光量は約3倍が適正である。また、レジストパタンにテーパをつけるために必要な非焦点露光の範囲は、コンタクトホールの設計上の寸法の3倍程度の直径になるよう露光条件を定めるのがよい。N A 0.54のg線ステップで非焦点露光を実施した場合、当該露光位置は-1.5~-2.5μm(被露光基板から遠ざかる側に焦点を結ばせ

る方向がマイナス側の焦点位置である)が適当である。図2は上記条件に於いて、非焦点露光の露光量と、それによって得られたコンタクトホールレジストパタンの側壁傾斜角θRの関係を示したものである。非焦点露光の露光量が2以下の場合は、θRは約85°一定であり、それ以上の露光量で、露光量に依存して、θRが低減し始め、相対露光量4になると、テーパ角は約70°に出来る。それ以上に非焦点露光量を増やすと、側壁角を徐々に低下(より大きなテーパ角が得られる)出来るが、

10 (1)スループットが低下する。(2)コンタクトホール径が大きくなり成りすぎ、かつ寸法精度の劣化が顕著になる。等の欠点が目だつようになるため、4前後の値が一般にもっとも合理的な結果が得られる。

【0020】この状態から、図1(d)に示すように層間絶縁膜3をRIE加工して、テーパ状コンタクトホールを得ることが出来るが、この場合、側壁角θEが所望の値まで小さく制御するのが難しい。テーパ状ホールの側壁が滑らかでない。等の欠点があるため、層間絶縁膜2をRIE加工する前に、図1(c)に示すような特別なUVキュア条件によるレジストパタンの熱フローと光硬化反応のバランスを旨く利用して、レジストテーパ角の制御と側壁の平滑化処理を実施することにより、層間絶縁膜のテーパ加工をより確実に、かつ制御性よく実施することが出来る。

【0021】そこで、上記UVキュア条件の処理条件依存性について、実測データを基に説明する。図3-(a)はUVキュア処理条件のチャート図の代表例を示したものである。UVキュア処理の標準的な処理条件は以下の通りである。

【0022】当該基板を110°Cに加熱されている基板ホルダに載せ、180°Cまで一定の速度で徐々に基板ホルダを昇温させ、最後に180°Cで40s間保持する。この際の基板昇温レートとして、0.5、1.0及び1.5°C/sの3水準を選んだ。この間、空気雰囲気中で、UV光を照射する。UV光源には2.5KWの高圧水銀灯2灯を使用し、最初の10s間は無照射、次のステップで弱い光I<sub>1</sub>(照度:約30mW/cm<sup>2</sup>)、続いて10s間中間強度I<sub>2</sub>(照度:300mW/cm<sup>2</sup>)の光照射、最後に強い光I<sub>3</sub>(照度:600mW/cm<sup>2</sup>)を照射した後、基板を冷却してから当該基板を取り出して処理を終了する。この際、弱い光I<sub>1</sub>での処理時間は110°Cから180°C迄の温度差70°Cに各昇温レートを乗じた値である。

【0023】ここで、上記UVキュア条件により、キュア処理したコンタクトホールレジストパタンの側壁角θRの前記昇温レート依存性の実験データを図3(b)に示す。この場合のレジスト膜にはクレゾールノボラック樹脂とo-ナフトキノンジアジド感光剤から成るポジ型ホトレジスト:TSMR-V3(東京応化製、商品名)を厚さ2μmに塗布したものを使用した。図3(b)に

において、曲線 b<sub>1</sub> は非焦点露光／焦点露光によって、テープ状のレジストパターンを形成せずに、焦点露光のみに依って、ホール側壁の傾斜角  $\theta_R$  が  $85^\circ$  と殆どテープがついていない場合の例で、この場合は、UV キュア処理を実施しても、側壁角は殆ど変化しない。それに対し、曲線 b<sub>2</sub> に示す非焦点露光（相対露光量：3）／焦点露光（相対露光量：3）によって、現像後のホールレジストパターンの側壁角  $\theta_R$  が  $70^\circ$  とした水準（図2参照）では、上記 UV 処理によって、更にレジストパターンにテープがつきやすく（ $\theta_R$  が小）なる傾向を示す。とくに、昇温レートを 1 または、 $1.5^\circ\text{C}/\text{s}$  と速くするに従って、 $\theta_R$  は小さくなり、よりテープがつきやすくなることが分かる。一方、上記 UV キュア処理条件に対するコンタクトホール径（基板と接するレジストパターンの直径）の変化量は、図3 (c) に示すような関係にある。ここで、曲線 c<sub>1</sub> は UV キュア処理前、c<sub>2</sub> は昇温レート  $0.5^\circ\text{C}/\text{s}$ 、c<sub>3</sub> は  $1^\circ\text{C}/\text{s}$ 、c<sub>4</sub> は  $1.5^\circ\text{C}/\text{s}$  の昇温レートの場合である。昇温レートが  $0.5^\circ\text{C}/\text{s}$  と遅くすると、孔径の変化がほとんどない状態で、レジストが硬化されるのに対し、昇温レートを  $1^\circ\text{C}/\text{s}$ 、 $1.5^\circ\text{C}/\text{s}$  と速くするにつれて、コンタクトホール径の縮少が生じている。その、縮少量は、ホール径に依らずほぼ一定であり、 $1^\circ\text{C}/\text{s}$  で約  $0.2\mu\text{m}$ 、 $1.5^\circ\text{C}/\text{s}$  では約  $0.3\mu\text{m}$  である。従って、この方法は、露光段階で少し大きめのコンタクトホールを開け、その後の UV キュア処理時の昇温レートを変えることに依って、コンタクトホールのレジストパターン径をより小さい方に調節する方法として利用できる。これは、小さい孔径のコンタクトホール形成が技術的に困難であることに鑑み、従来の光露光技術で形成困難な微小さなコンタクトホールを形成する方法として極めて有効な方法と言える。この様に、UV キュア時の昇温レートを変えることに依って、孔径並びに側壁傾斜角が調節できるのは、UV 光照射によるレジスト膜表層部の架橋反応による硬化と基板加熱によるレジスト材料の熱変形のバランスの結果として生ずるものであり、昇温レートを遅くすれば、硬化反応が優勢となって熱フローが少なくなり、昇温レートを速くすれば、熱フローが優先して、熱変形しやすくなるためである。なお、本 UV キュア処理で、上述した昇温レートとともに、昇温時の UV 照射強度（図3 (a) における I<sub>1</sub>）の制御が重要である。上記結果は  $30\text{mW}/\text{cm}^2$  の照射強度の場合の例であり、 $20\text{mW}/\text{cm}^2$  の場合は、昇温レートを 20% 程度小さく、 $40\text{mW}/\text{cm}^2$  の場合は同様に 20% 程度大きくすることで、同様の結果が得られる。また、UV キュア反応の速度と熱変形温度は、レジストの種類に依って若干相違するので、レジストの種類を変える場合は、同様に処理条件の微調整が必要である。なお、2ステップ及び3ステップ目の UV 照射 I<sub>2</sub> 及び I<sub>3</sub> は、コンタクトホールレジストパターンの側壁角と孔径を制御し

た後に、レジスト膜を確実に硬化させ、耐熱性及び耐ドライエッヂ性を改善するために実施するものであり、引き続いて実施する層間絶縁膜 RIE 条件が穏やかでエッティング加工中に基板温度がおよそ  $120^\circ\text{C}$  以上に昇温しなければ、省略可能である。

【0024】以上説明した工程により、コンタクトホールレジストパターン 4<sub>2</sub> を形成した後、図1 (d) に示すように RIE 加工装置により、層間絶縁膜 2 をエッティングし、所望のテープ形状のコンタクトホールないしスルーホールを得ることに依って、一連の工程が完了する。ここで層間絶縁膜 2 は一般に厚さ  $0.5 \sim 1.5\mu\text{m}$  程度の PSG、BPSG、プラズマ TEOS、オゾン TEOS、SOG 等のシリコン酸化膜から構成されている。

【0025】上記材料からなる層間絶縁膜のエッティング条件の選択において、レジスト膜のエッチ速度 ER と層間絶縁膜のエッチ速度 ES、及びレジストパターンの傾斜角  $\theta_R$  が定まれば、層間絶縁膜 RIE 加工後のコンタクトホール側壁の傾斜角  $\theta_E$  はおよそ； $\tan \theta_E = ES \cdot \tan \theta_R / ER$  によって定まる。即ち、厚さ  $1\mu\text{m}$  の層間膜をレジストとのエッティング選択比；1 ( $ES/ER = 1$ ) の条件で RIE 加工した場合、RIE 加工後のコンタクトホール側壁の傾斜角  $\theta_E$  はレジストパターンの傾斜角  $\theta_R$  と等しくなり、レジスト膜の膜減り量も  $1\mu\text{m}$  であることが分かる。また、上式から選択比を下げれば、RIE 加工後の側壁傾斜角  $\theta_E$  を小さくできる点で好ましい結果が得られる反面、レジストの膜べり量が増大すると言う不都合な結果をもたらすので、両者はトレードオフの関係にある。したがって、この工程ではレジスト膜の損失が原理的に避けられないため、一般に厚いレジスト膜を必要とする。

【0026】それでは、以下に具体的実施例について説明する。

【0027】（具体的実施例 1）第 1 メタル配線層上に第 2 層間絶縁膜を被覆した被加工 LSI ウェハ基板上にボジ型ホトレジスト TSMR-V3 を  $2\mu\text{m}$  の厚さに塗布し、ステッパーと呼ばれる  $1/5$  倍 g 線（露光波長  $436\text{nm}$ ）縮少投影露光装置を用い、所望のスルーホール用レチクル（パターン原画）像を、当該基板上のレジスト膜に既に形成されている第 1 メタル層のパターンに正確に重ね合わせながらスルーホールパターンを焼き付けて行く。この際、レチクル像の結像位置をレジスト表面から離れる方向（マイナス）約  $2\mu\text{m}$  の位置に合わせ、露光量  $1400\text{mJ}$  ( $700\text{mJ}/\text{cm}^2$ ) で非焦点露光を行ったのに引き続き、レチクル像の結像位置のみをレジスト面表面付近に合わせ直し（焦点位置  $0\mu\text{m}$ ）露光量  $950\text{mJ}$  ( $450\text{mJ}/\text{cm}^2$ ) で焦点露光を行う。その後、濃度 2.38% のテトラメチルアンモニウムハイドロオキサイド水溶液からなるレジスト現像液を当該基板上に滴下し、静止パドル現像法として知られている方法で、 $110^\circ\text{C} \cdot 90\text{s}$  間ポストイクスピージャベー

ク、約90秒間現像処理、純水リーンス、乾燥、ポストペーク処理を順次行う。ここで、使用したスルーホールの設計寸法（マスク寸法）は $0.6\mu\text{m}$ 径であるが、本条件で形成されたスルーホールレジストパターンの出来上り寸法は、およそ $0.8\mu\text{m}$ 、側壁傾斜角 $\theta R$ 約 $70^\circ$ である。次に、UVキュア装置により、前記図3(a)で説明した処理条件の内、基板の昇温レートは $1^\circ/\text{s}$ とした。この処理後のレジストパターンの直径は約 $0.6\mu\text{m}$ 、傾斜角 $\theta R$ は約 $60^\circ$ となった。

【0028】続いて、RIE装置により、層間絶縁膜にスルーホールを加工する。層間膜は平均膜厚約 $0.8\mu\text{m}$ で、プラズマTEOS、オゾンTEOS、ECR堆積膜、SOG等のシリコン酸化物系複合膜から構成されている。上記エッチング工程は、通常以下の2ステップにて実施する。第1ステップは以下の条件により、層間絶縁膜を約 $400\text{nm}$ 相当エッチングする。主な加工条件は以下の通りである。エッティングガス組成比；CHF<sub>3</sub>/O<sub>2</sub>=100/20SCCM、圧力；50mTorr、高周波出力；1200W。本条件でのエッティング速度は、層間膜： $25\text{nm}/\text{min}$ 、レジスト： $9\text{nm}/\text{min}$ であり、 $400\text{nm}$ エッチングした後のスルーホール側壁の傾斜角はほぼ垂直である。次に、第2ステップとして以下の条件で、層間膜を約 $700\text{nm}$ 相当量エッチング加工する。主な加工条件は以下の通りである。エッティングガス組成比；CHF<sub>3</sub>/O<sub>2</sub>=50/50SCCM、圧力；50mTorr、高周波出力；1200W。本条件でのエッティング速度は、層間膜： $30\text{nm}/\text{min}$ 、レジスト： $30\text{nm}/\text{min}$ である。また、本エッティング加工によるレジスト膜減り量は、約 $900\text{nm}$ である。この後、残存するレジスト膜をO<sub>2</sub>プラズマアッシング並びにレジスト剥離液を用いて除去し、スルーホール加工工程が完了する。層間絶縁膜に加工されたスルーホールの大きさは、レジストパターンとほぼ等しい約 $0.6\mu\text{m}$ であり、側壁の傾斜角はほぼ正確に $60^\circ$ である。

【0029】（具体的実施例2）以下に説明する露光条件を除いて、具体的実施例1と同じである。まず、フォーカス位置 $-2\mu\text{m}$ にて露光量 $700\text{mJ/s}$ 、続いて $-1.5\mu\text{m}$ にフォーカス位置を変えて露光量 $700\text{mJ/s}$ と非焦点露光を2分割して露光する。更にフォーカス位置 $-0.2\mu\text{m}$ で露光量 $450\text{mJ/s}$ で露光し、次にフォーカス位置を $+0.3\mu\text{m}$ に変えて露光量 $450\text{mJ/s}$ で露光と、焦点位置露光を2分割する。この場合、最終的に得られるスルーホールの形状は、具体的実施例1と大差ないが、全体にフォーカス余裕度が改善され、より安定なパターン形成が出来る。即ち、第1メタル層と第2メタル層を接続するための第2層間膜へのスルーホール形成時の基板段差より、第2メタル層と第3メタル層間に接続する第3層間膜へのスルーホール形成時の基板段差の方が通常大きくなる。この様にLSIの製造工程が進

むに連れて一般に基板段差が激しくなる。従って、非焦点露光及び焦点露光をそれぞれ焦点位置を変えながら2度あるいはそれ以上に分割して露光するには、上述したような基板段差が激しい基板上にテープ形状のコンタクトホールないしスルーホールを形成するのにとくに効果を発揮する。本実施例では、それぞれ2回分割露光、合計4回露光を実施したが、基板段差の状況に依っては、5回ないし6回以上に分割露光することにより、更に安定したパターン形成が可能である。

【0030】更にまた、非焦点露光と焦点露光の順序に関しては、これまで非焦点露光を先に実施する方法について説明してきたが、露光順序を入れ換ても基本的に大きな差異は生じない。但し、この場合注意を要することは、露光順序を入れ換えて、非焦点露光を後で実施した場合、図2に示した実施例に比べて、得られるレジストパターン側壁角度が若干大きくなる傾向にある。従つて、他に不都合が生じない限り、非焦点露光を先に実施することが望ましい。

【0031】（具体的実施例3）レジストパターン形成までは具体的実施例1と同一条件で処理した後、UVキュア処理を実施せずに、直接、RIE加工を行う。即ち、レジストパターンの側壁傾斜角をパターン形成直後の $70^\circ$ のままRIE加工を行うことを意味する。この際のRIE加工では、第1ステップは具体的実施例1と同一とし、第2ステップのエッティング加工条件中、エッティングガスの組成比のみを以下のように変更して層間絶縁膜を加工する。即ち、CHF<sub>3</sub>/O<sub>2</sub>=40/60SCCMとすると、層間膜のエッチ速度 $30\text{nm}/\text{min}$ に対し、レジスト膜のエッチ速度は $40\text{nm}/\text{min}$ になる。この条件で加工した場合、上記具体的実施例と同様加工後のスルーホール径は約 $0.6\mu\text{m}$ 、側壁角も約 $60^\circ$ に出来、工程短縮が可能である。但し、レジスト膜減り量が約 $1.1\mu\text{m}$ に増大し、かつUVキュアによるレジストパターン側壁の熱フロー処理を省略したため、具体的実施例1及び2の結果に比べ、RIE加工後のスルーホール側壁の平滑性が若干見劣りすることに注意する必要がある。なお、絶縁膜のリエ条件を上記具体的実施例と同一にした場合、絶縁膜に加工されたスルーホールパターンの側壁傾斜角が約 $70^\circ$ とやや急になる。この様に、所望の側壁傾斜角に調節する方法として、（1）非焦点露光の露光量を調節する、（2）UVキュア時の基板昇温レートを調節する、（3）RIE加工条件中第2ステップのエッティングガスの組成比を変えて、層間絶縁膜とレジストのエッチ速度比を調節する、の3つの方法がある。本発明をLSIの製造プロセスに使用する場合は、前記3条件の内の1条件以上を適宜調節して所望の側壁角度に調節出来るため、広い範囲で側壁傾斜角を調節することが可能である。

【0032】

【発明の効果】以上説明したように、本発明によれば、

サブミクロンサイズの当該ホールを精度良く、かつホール側壁角をおおよそ $50^\circ \sim 85^\circ$ 程度の範囲内の任意の角度に調節することが可能である。従って、通常LSIのメタル層間の接続に使用されるコンタクトホールやスルーホールの側壁に傾斜をつけたいわゆるテーパ状のホールを広いプロセスマージンをもって、安定して形成することが可能であり、これによって、コンタクトホールまたはスルーホール内部への配線金属の被覆性が向上して、当該ホールの接続抵抗が低減して、接続の信頼性が向上すると共に接続歩留まりが大幅に改善される結果、LSIの製造歩留まりが大幅に改善される利点がある。

#### 【図面の簡単な説明】

【図1】本発明の原理と工程を説明するための主要工程での試料断面図である。

【図2】本発明の根幹をなす非焦点露光の相対露光量とコンタクトホールないしスルーホールレジストパターン側壁の傾斜角の関係を示した特性図である。

【図3】(a)は本発明に関わるUVキュア処理条件を説明するための特性図である。(b) UVキュア時\*20

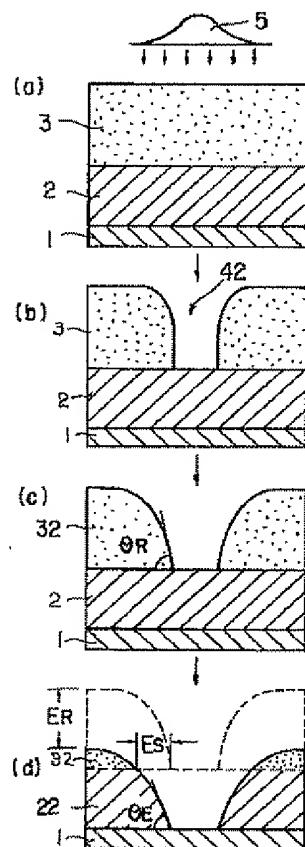
\*の基板昇温レートとレジストパターン傾斜角の関係を示す特性図(パラメータはUVキュア処理前のレジストパターンの側壁傾斜角)である。(c)は当該昇温レートをパラメータとし、コンタクトホールないしスルーホールパターンのマスク上寸法とレジストパターン上の出来上り寸法の関係を実測した特性図である。

【図4】従来技術である全面露光法の工程を説明するための断面図である。

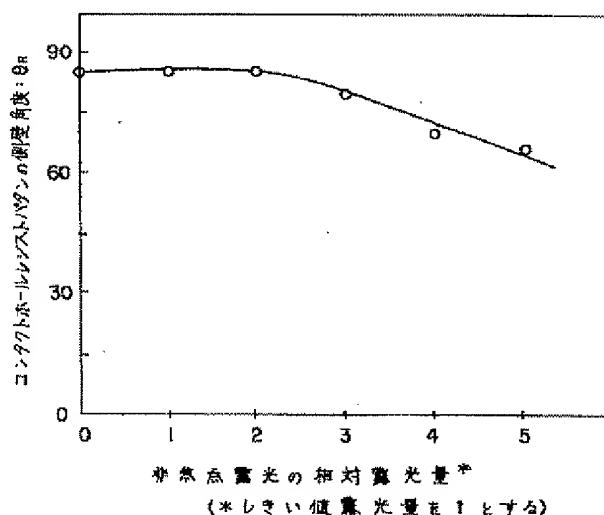
#### 【符号の説明】

- 1 … 基板、2 … 層間絶縁膜、3 … レジスト膜、5 … 非焦点露光時の光の強度分布、21 … RIE加工で層間膜に膜減りが生ずる全面露光法で形成した層間絶縁膜、22 … 膜減りが生じていない本発明による層間絶縁膜加工後の当該膜、23 … レジスト膜厚不足によって生じた層間膜の膜減り量、31 … 全面露光膜減りが生じたホール形成後のレジスト膜、32 … レジスト膜減りが原理的に生じていない本発明によってホールを形成した後のレジスト膜、41 … 全面露光法で形成したレジスト膜減りが大きいホールレジストパターン、42 … 本発明で形成したレジスト膜減りのないホールレジストパターン。

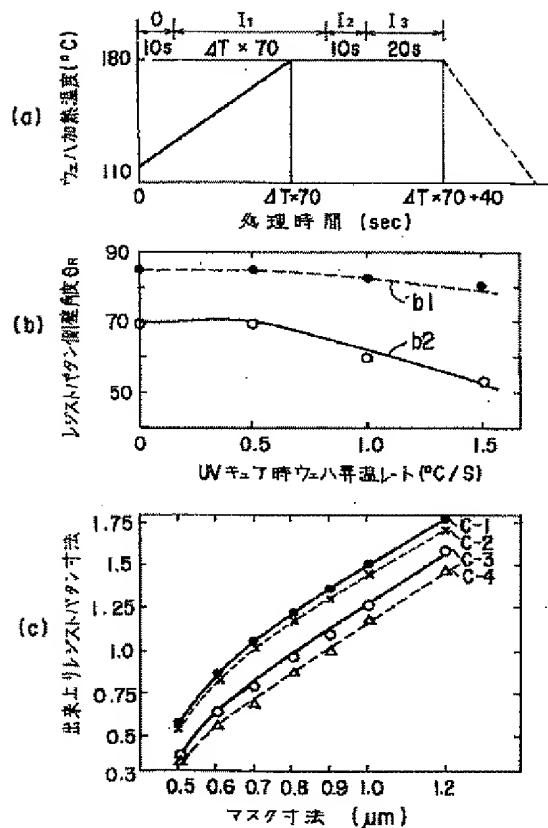
【図1】



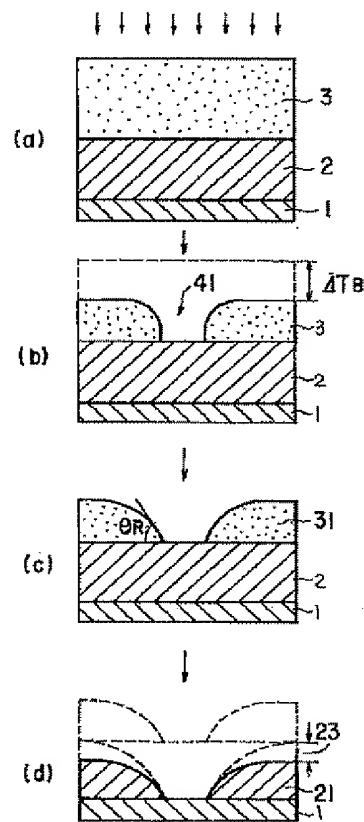
【図2】



【図3】



【図4】



フロントページの続き

(51) Int.CI.<sup>5</sup>

H 0 1 L 21/90

識別記号 庁内整理番号

B 7735-4M

F I

技術表示箇所

7352-4M

7735-4M

H 0 1 L 21/30

3 6 1 Q

21/88

F

# Cited Reference 4 (Abstract)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-326357

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H01L 21/027

H01L 21/3205

H01L 21/90

(21)Application number : 04-130876

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 22.05.1992

(72)Inventor : MIMURA YOSHIAKI  
AOYAMA SHINJI  
KIMIZUKA MASAKATSU

### (54) METHOD FOR FORMING CONTACT HOLE

#### (57)Abstract:

**PURPOSE:** To prevent that a resist film is reduced and that the controllability of the thermal deformation of a resist pattern becomes bad by a method wherein the title method is provided with the following: a press wherein an exposure operation is performed to the out-of-focus position and, in addition, an exposure operation and a developing operation are performed to the position of a focal point; and a process wherein UV rays are irradiated under a prescribed condition.

**CONSTITUTION:** A out-of-focus exposure operation which is provided with a light intensity distribution 5 is performed only to a part in which a contact-hole pattern is former in a substrate, to be treated, which has been coated with a photoresist film 3 on a wafer which has been covered with an interlayer insulating film 2 on a semiconductor substrate 1. After that, a contact-hole pattern is exposed and developed; a contact-hole resist pattern 42 can be obtained without reducing the resist film. Then, before the interlayer insulating film 2 is RIE-treated, a resist taper angle is controlled and the smoothing treatment of a sidewall is executed under a prescribed UV curing condition; the taper working operation of the interlayer insulating film 2 is executed surely and with good controllability.

Thereby, the contact hole can be adjusted with good accuracy, and a sidewall angle can be adjusted to an arbitrary angle within a range of about 50 to 85° .

